

Rec'd PCT/PTO 03 SEP 2004

PCT/JP 03/02586

日 本 国 特 許 庁

JAPAN PATENT OFFICE

05.03.03

X3

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月 6日

出 願 番 号

Application Number:

特願2002-060640

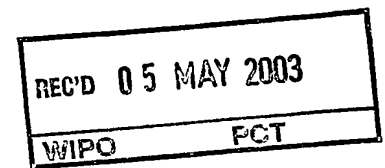
[ST.10/C]:

[JP2002-060640]

出 願 人

Applicant(s):

株式会社リコー

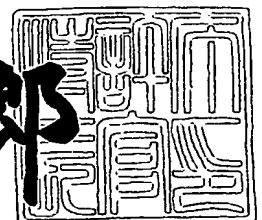


**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 4月15日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3026439

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 181207

【提出日】 平成14年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/06  
G06F 15/82

【発明の名称】 半導体記憶装置

【請求項の数】 12

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 平井 敬康

【特許出願人】

    【識別番号】 000006747

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

特 2 0 0 2 - 0 6 0 6 4 0

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルがマトリクス状に配列されてなるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを 1 ワード単位で接続する分割ワードラインと、各分割ワードライン毎にワードラインに接続され、該分割ワードラインを選択する分割ワードラインセレクタと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、

アドレス入力が  $X[i:0]$  ,  $Y[j:0]$  ,  $Z[k:0]$  の 3 系統で指定されるとともに、上記分割ワードラインセレクタを選択する選択信号として 2 系統が設定され、列方向に並ぶ分割ワードラインセレクタに対して、2 系統の選択信号がそれぞれ 1 行ずつ交互に接続されて、2 系統の選択信号の経路のうちの 1 系統のみがイネーブルすることにより、上記分割ワードラインセレクタを選択するように構成されており、

上記選択信号が装置内で計 8 系統イネーブルすることにより、上記アドレス入力  $X[i:0]$  ,  $Y[j:0]$  ,  $Z[k:0]$  により指定されるアドレス  $(z, y, x)$  に対して、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$  で表わされる 8 アドレスに同時にアクセス可能であることを特徴とする半導体記憶装置。

【請求項 2】 更に、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路と

の間にセレクトが設けられており、

上記アドレス  $(z, y, x)$  に対し、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$  で表わされる 8 アドレスの入出力データが、上記セレクトを介して、常時、各アドレスに 1 対 1 で対応したデータ入出力回路から送受されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 上記アドレス  $(z, y, x)$  の  $z, y, x$  のうちの 1 つ又は複数が許容される値の最大となる場合に、 $z+1, y+1$  又は  $x+1$  の代わりに、それぞれ、 $z+1 \rightarrow 0, y+1 \rightarrow 0$  又は  $x+1 \rightarrow 0$  のアドレスを用いて、8 アドレスに同時にアクセスすることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】 8 アドレスに同時にアクセスするか、若しくは、1 アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 複数のメモリセルがマトリクス状に配列されてなるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを 1 ワード単位で接続する分割ワードラインと、各分割ワードライン毎にワードラインに接続され、該分割ワードラインを選択する分割ワードラインセレクトと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、

アドレス入力が  $X[i:0], Y[j:0], Z[k:0]$  の 3 系統で指定されるとともに、上記分割ワードラインセレクトを選択する選択信号として 4 系統

が設定され、列方向に並ぶ分割ワードラインセクタに対して、4系統の選択信号がそれぞれ4行おきに接続されて、4系統の選択信号の経路のうちの1系統のみがイネーブルすることにより、上記分割ワードラインセクタを選択するように構成されており、

上記選択信号が装置内で計8系統イネーブルすることにより、上記アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ により指定されるアドレス $(z, y, x)$ に対して、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$ で表わされる8アドレスに同時にアクセス可能であることを特徴とする半導体記憶装置。

【請求項6】 更に、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路との間にセクタが設けられており、

上記アドレス $(z, y, x)$ に対し、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$ で表わされる8アドレスの入出力データが、上記セクタを介して、常時、各アドレスに1対1で対応したデータ入出力回路から送受されることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 上記アドレス $(z, y, x)$ の $z, y, x$ に対して、 $z+1, y+1, x+1$ から得られるアドレスがメモリ空間内に存在しない場合に、 $z+1 \rightarrow 0, y+1 \rightarrow 0$ 又は $x+1 \rightarrow 0$ として、8アドレスに同時にアクセスすることを特徴とする請求項5又は6に記載の半導体記憶装置。

【請求項8】 8アドレスに同時にアクセスするか、若しくは、1アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴とする請求項5～7のいずれか一に記載の半導体記憶装置。

【請求項9】 複数のメモリセルがマトリクス状に配列されてなるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを1ワード単位で接続する分割ワードラインと、

各分割ワードライン毎にワードラインに接続され、該分割ワードラインを選択する分割ワードラインセレクタと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、

アドレス入力が $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ の3系統で指定されるとともに、上記分割ワードラインセレクタを選択する選択信号として2系統が設定され、列方向に並ぶ分割ワードラインセレクタに対して、2系統の選択信号がそれぞれ1行ずつ交互に接続されて、2系統の選択信号の経路のうちの1系統のみがイネーブルすることにより、上記分割ワードラインセレクタを選択するように構成されており、

上記選択信号が装置内で計4系統イネーブルすることにより、上記アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ により指定されるアドレス $(z, y, x)$ に対して、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$ で表わされる4アドレスに同時にアクセス可能であることを特徴とする半導体記憶装置。

【請求項10】 更に、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路との間にセレクタが設けられており、

上記アドレス $(z, y, x)$ に対し、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$ で表わされる4アドレスの入出力データが、上記セレクタを介して、常時、各アドレスに1対1で対応したデータ入出力回路から送受されることを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 上記アドレス $(z, y, x)$ の $z, y, x$ に対して、 $z+1, y+1, x+1$ から得られるアドレスがメモリ空間内に存在しない場合に、

$z + 1 \rightarrow 0$ ,  $y + 1 \rightarrow 0$  又は  $x + 1 \rightarrow 0$  として、4 アドレスに同時にアクセスすることを特徴とする請求項 9 又は 1 0 に記載の半導体記憶装置。

【請求項 1 2】 4 アドレスに同時にアクセスするか、若しくは、1 アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴とする請求項 9 ～ 1 1 のいずれか一に記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置、特に、複数のアドレスに対して同時アクセスが可能な半導体記憶装置に関する。

##### 【0 0 0 2】

#### 【従来の技術】

デジタルカラーコピー等のデジタル画像出力装置では、一般的に、読み込み部から R (赤), G (緑), B (青) のデータとして画像が取り込まれ、印刷部に対して C (シアン), M (マゼンタ), Y (イエロー) のデータとして出力される。このため、デジタル画像出力装置での画像処理においては、画像データに対して、RGB 系の色空間から CMY 系の色空間への座標変換処理が施される。この座標変換処理に際しては、スキャナの入力特性とプロッタの出力特性とを考慮する必要があり、座標変換値が単純な計算では求められないことから、従来、3 次元ルックアップテーブル (以下、LUT と表記) を用いて座標変換処理を行うことが知られている。しかしながら、LUT の構成には、R, G, B データのビット幅次第で、膨大な容量が必要となる場合がある。例えば R, G, B データがそれぞれ 8 ビット幅で表現される場合、LUT の容量としては、 $2^8 \times 2^8 \times 2^8$  ビットが必要となる。

##### 【0 0 0 3】

従来では、LUT の容量を削減するために、色変換処理が次のように行なわれることが知られている。図 1 5 に、従来の色変換処理部の構成を概略的にあらわす。この色変換処理部 9 0 は、基本的な構成として、色変換データメモリ領域 9 1 と、補正演算部 9 2 とを有している。色変換データメモリ領域 9 1 には、あら



はじめ、R、G、Bの上位4ビットをアドレスとして、そのアドレスに対応するC、M、Yのデータが書き込まれている。なお、色変換処理部90には、C、M、Y変換用に3領域が用意されており、この中の色変換データメモリ領域91が、それぞれC変換、M変換あるいはY変換用のLUTに相当する。

#### 【0004】

この色変換処理部90では、スキャナ（不図示）からそれぞれ2進数で8ビットのデータとして取り込まれたR、G、Bのデータのうち、まず、それぞれ上位4ビットのデータを用いて、色変換データメモリ領域91から、上位4ビットのデータにより指定されるアドレス及びそのアドレスを基準として選択される所定数のアドレスに対応したデータが読み出される。このデータ読出しに際して用いる複数のアドレスを、アドレス（z、y、x）を基準として選択する例を、図16に示す。

#### 【0005】

R、G、Bの上位4ビットのデータにより指定されるアドレス（z、y、x）を基準アドレスとして、C用メモリ領域にアクセスする場合には、まず、基準アドレス（図16中の0に対応）と基準アドレスを構成する値x、y、zのいずれか1つ若しくは複数に+1加算されてなるアドレス（図16中の①～⑦に対応）が選択される。つまり、ここでは、基準アドレス（z、y、x）を含み、1つの格子を規定するような8つのアドレスが選択される。そして、選択された複数のアドレスに対応するデータがC用メモリ領域から読み出される。読み出されたデータは、本来、R、G、Bデータの上位4ビットのデータに基づくものであるため、Cのデータについての大まかな情報である。

#### 【0006】

その後、更に詳細な情報を得るために、R、G、Bのデータのうちの下位4ビットのデータが用いられ、補正演算部92において補正演算処理が行われる。これにより、図16に示すような8つのアドレスで規定される格子の中に本来含まれる、Cのデータについての更に詳細な情報が得られ、色変換済みのデータが算出される。

#### 【0007】

なお、M、Yのデータについても、Cのデータと同様に、色変換処理部90において色変換処理が施される。通常、このように、8つのアドレスに対応するデータが用いられるが、これに限定されることなく、6アドレスのみが用いられる技術も知られている。

#### 【0008】

現状では、前述したような色変換データメモリ領域が、複数のRAMにより構成されることが一般的である。図17に、従来知られたRAMの一例を概略的に示す。ここでは、RAMとして、メモリセルの行選択がワードラインと分割ワードラインとの二段階に分けて断層的に行われる分割ワードライン方式のスタティックRAMを取り上げる。

#### 【0009】

このRAM100は、互いに同じセル構造を有する複数（第1～第aブロック）のメモリアレイ101を有するもので、各メモリアレイ101では、c本のワードラインWLが、それぞれ、分割ワードラインセクタ102を通じて分割ワードラインDWLにつながり、各分割ワードラインDWLに対して、1ビット単位をなすb個のメモリセル（図中、MCと表記）103が接続されている。メモリセル103は、同じ列アドレス毎に、その一端側でプリチャージ回路104に接続されたビットライン対BL、BLBの間に接続されている。また、ビットライン対BL、BLBは、列ゲート105を通じてデータライン対DL、DLBと接続されている。更に、データライン対DL、DLBは、センスアンプ106及びライトバッファ107を通じて、データ入出力回路108につながっている。

#### 【0010】

RAM100では、各メモリアレイ101に含まれるメモリセル103に対するデータ読出し・書込みを含む各種の動作が、外部信号（CEB、WEB、ADD[h:0]）に応じてアドレス入力回路111及び内部制御回路112から行デコーダ109及び列デコーダ110を介して送られるアドレス及び制御信号に基づき制御される。これに関連して、列ゲート105の開閉は、列デコーダ110から出力される選択信号G[a-1:0]によって制御される。動作時には、ゲート信号として、第1～aのメモリアレイ101に対し、G[0]～G[a-

1] まで1本ずつ入力される。そして、a本のゲート信号ラインのうちの1本がイネーブルとなることにより、a個のメモリアレイ101から1つのメモリアレイのみが選択される。

#### 【0011】

かかる構成を備えたRAM100では、各メモリアレイ101について、1本の分割ワードラインDWLに接続されるb個のメモリセル103で1ワード単位となるため、総容量は、

$$(a \times c) \text{ ワード} \times b \text{ ビット}$$

となる。

図17では、アドレス入力回路111の入力端子としてADD[h:0]が規定されているが、その入力端子をアドレスX[i:0]，アドレスY[j:0]，アドレスZ[k:0]の3系統で指定することも可能である（但し、hは2以上）。この場合には、例えば、アドレスXを行デコーダ109でデコードし、アドレスY，Zを列デコーダ110でデコードする。

#### 【0012】

ここで、 $i = j = k = 1$ である場合には、 $c = 4$ ， $a = 16$ となるが、これに関連して、図18の(a)に、それぞれ1ワード単位でブロック化され、 $(a \times c)$ ワードの記憶領域を構成するRAMに対するアドレス割付の一例を示す。1ワードに対応する1つのブロック115は、図18の(b)に示すように、1個の分割ワードラインセクタ102と、それに接続するb個のメモリセルを備えた分割ワードラインDWLとからなる構成に相当する。

#### 【0013】

更に、アドレス入力端子X[i:0]，Y[j:0]，Z[k:0]から入力されるアドレスを、 $(z, y, x)$ と表わす。アドレス $(z, y, x)$ に基づき、そのアドレスと、そのアドレスを構成する値 $z, y, x$ のうちの1つ若しくは複数が+1加算されたアドレスとからなる計8つのアドレス（図16参照）に対応するデータを同時に使用する場合、 $i = j = k = 1$ において、例えば $(z, y, x) = (00, 00, 01)$ のときには、図18の(a)に示す0～⑦が付された計8つのブロックに対応するデータが同時に必要とされる。なお、 $(z, y$

,  $x) = (00, 00, 01)$  は、 $Z[1] = Z[0] = 0$ ,  $Y[1] = Y[0] = 0$ ,  $X[1] = 0$ ,  $X[0] = 1$  を意味する。

【0014】

【発明が解決しようとする課題】

しかしながら、図17に示す構成を備えた従来のRAM100では、指定された8つのアドレスが互いに隣接したブロック115（図18の(a)参照）に対応し、同じビットライン対BL, BLBを共有するため、8アドレス分のデータを1サイクルで同時に読み出すことができない。8アドレス分のデータを同時に使用可能とするには、例えば、8つのRAMを用い、各RAMの同じアドレスに同じデータを書き込み、読出し時には各RAMのそれぞれ別アドレスからデータを出させることが考えられるが、この場合には、当然ながら、全体的なチップ面積が大きくなる。

【0015】

また、これとは別に、8アドレス分のデータを同時に使用可能とするために、それぞれ図18の(a)に示すRAMの1/8の容量( $a \times c = 4 \times 2$ )をもつ図17で示されるRAMを、8個用いる方法が考えられる。図19の(a)は、図18の(a)に示すX、Y、Zアドレスで指定されるブロック115を、 $a \times c = 4 \times 2$ の容量のRAM8個のブロック115に割り振った図である。このように割り振れば、同時にアクセスする8アドレスのブロック115が、8個のRAMに1ブロックずつ配置される。例えば図19の(a)に示す0~⑦は、図18の(a)に示す0~⑦に対応している。これらの8個のRAMに対し、例えば0~⑦の組合わせのような8アドレスに同時にアクセスするためには、図19の(b)に示すように、8個のRAMの外部の周辺回路でアドレスをデコードすればよい。

【0016】

このような構成によれば、RAMの総容量を変更することなく、8アドレス分のデータを同時に使用することが可能である。しかしながら、この場合には、RAMを8つのブロック群に分割するに伴い、各ブロック群には専用の制御回路が必要となり、RAM内部の制御回路が重複する。また、8つのブロック群と外部

のアドレスデコーダとを接続するための配線領域も必要となるため、全体的な面積が大きくなる。

#### 【0017】

更に、8つのアドレスに同時にアクセスするには、データを送受する配線の数、入力用のみで $8 \times b$ 本必要であり、出力用も合わせるとその倍となり、配線面積は非常に大きくなる。

#### 【0018】

従来では、複数のアドレスに同時にアクセス可能とする装置として、例えば特開平6-349268号に、一回の書込動作で、1つの行アドレスに属するメモリセルのうち、連続する複数のメモリセルを同時にかつ任意の範囲で書き込むことを可能とする半導体記憶装置が開示されており、また、特開平5-113928号公報には、アドレスを変換して、同一画素の複数種類の表示要素に関するデータ若しくは複数の画素の同一種類の表示要素に関するデータのいずれであっても、一括アクセス可能とする画像メモリ装置が開示されている。

#### 【0019】

これらの先行技術は、いずれも複数アドレスに同時にアクセスすることが可能な記憶装置であるが、いずれの場合にも、1つの行アドレス上のアドレスに対してしかアクセスすることができず、また、基準アドレス( $z$ ,  $y$ ,  $x$ )に基づき選択される複数アドレスに対して同時にアクセスを行う本願発明とは目的が異なる。

#### 【0020】

本発明は、回路面積及び配線面積の増大を伴わず、複数のアドレスに対し同時にアクセス可能である半導体記憶装置を提供することを目的とする。

#### 【0021】

##### 【課題を解決するための手段】

本願の請求項1に係る発明は、複数のメモリセルがマトリクス状に配列されるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを1ワード単位で接続する分割ワードラインと、各分割ワードライン毎にワードラインに接続され、該分割ワードラ

インを選択する分割ワードラインセクタと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ の3系統で指定されるとともに、上記分割ワードラインセクタを選択する選択信号として2系統が設定され、列方向に並ぶ分割ワードラインセクタに対して、2系統の選択信号がそれぞれ1行ずつ交互に接続されて、2系統の選択信号の経路のうちの1系統のみがイネーブルすることにより、上記分割ワードラインセクタを選択するように構成されており、上記選択信号が装置内で計8系統イネーブルすることにより、上記アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ により指定されるアドレス $(z, y, x)$ に対して、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$ で表わされる8アドレスに同時にアクセス可能であることを特徴としたものである。

## 【0022】

また、本願の請求項2に係る発明は、請求項1に係る発明において、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路との間にセクタが設けられており、上記アドレス $(z, y, x)$ に対し、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$   $(z+1, y, x)$   $(z+1, y, x+1)$   $(z+1, y+1, x)$   $(z+1, y+1, x+1)$ で表わされる8アドレスの入出力データが、上記セクタを介して、常時、各アドレスに1対1で対応したデータ入出力回路から送受されることを特徴としたものである。

## 【0023】

更に、本願の請求項 3 に係る発明は、請求項 1 又は 2 に係る発明において、上記アドレス ( $z, y, x$ ) の  $z, y, x$  のうちの 1 つ又は複数が許容される値の最大となる場合に、 $z + 1, y + 1$  又は  $x + 1$  の代わりに、それぞれ、 $z + 1 \rightarrow 0, y + 1 \rightarrow 0$  又は  $x + 1 \rightarrow 0$  のアドレスを用いて、8 アドレスに同時にアクセスすることを特徴としたものである。

## 【 0 0 2 4 】

また、更に、本願の請求項 4 に係る発明は、請求項 1 ~ 3 に係る発明のいずれか一において、8 アドレスに同時にアクセスするか、若しくは、1 アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴としたものである。

## 【 0 0 2 5 】

また、更に、本願の請求項 5 に係る発明は、複数のメモリセルがマトリクス状に配列されてなるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを 1 ワード単位で接続する分割ワードラインと、各分割ワードライン毎にワードラインに接続され、該分割ワードラインを選択する分割ワードラインセレクタと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、アドレス入力  $X[i : 0]$  ,  $Y[j : 0]$  ,  $Z[k : 0]$  の 3 系統で指定されるとともに、上記分割ワードラインセレクタを選択する選択信号として 4 系統が設定され、列方向に並ぶ分割ワードラインセレクタに対して、4 系統の選択信号がそれぞれ 4 行おきに接続されて、4 系統の選択信号の経路のうちの 1 系統のみがイネーブルすることにより、上記分割ワードラインセレクタを選択するように構成されており、上記選択信号が装置内で計 8 系統イネーブルすることにより、上記アドレス入力  $X[i : 0]$

$] , Y[j : 0] , Z[k : 0]$  により指定されるアドレス  $(z, y, x)$  に対して、 $(z, y, x) (z, y, x+1) (z, y+1, x) (z, y+1, x+1) (z+1, y, x) (z+1, y, x+1) (z+1, y+1, x) (z+1, y+1, x+1)$  で表わされる 8 アドレスに同時にアクセス可能であることを特徴としたものである。

## 【0026】

また、更に、本願の請求項 6 に係る発明は、請求項 5 に係る発明において、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路との間にセクタが設けられており、上記アドレス  $(z, y, x)$  に対し、 $(z, y, x) (z, y, x+1) (z, y+1, x) (z, y+1, x+1) (z+1, y, x) (z+1, y, x+1) (z+1, y+1, x) (z+1, y+1, x+1)$  で表わされる 8 アドレスの入出力データが、上記セクタを介して、常時、各アドレスに 1 対 1 で対応したデータ入出力回路から送受されることを特徴としたものである。

## 【0027】

また、更に、本願の請求項 7 に係る発明は、請求項 5 又は 6 に係る発明において、上記アドレス  $(z, y, x)$  の  $z, y, x$  に対して、 $z+1, y+1, x+1$  から得られるアドレスがメモリ空間内に存在しない場合に、 $z+1 \rightarrow 0, y+1 \rightarrow 0$  又は  $x+1 \rightarrow 0$  として、8 アドレスに同時にアクセスすることを特徴としたものである。

## 【0028】

また、更に、本願の請求項 8 に係る発明は、請求項 5～7 に係る発明のいずれかにおいて、8 アドレスに同時にアクセスするか、若しくは、1 アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴としたものである。

## 【0029】

また、更に、本願の請求項 9 に係る発明は、複数のメモリセルがマトリクス状に配列されてなるメモリアレイと、該メモリアレイを構成するメモリセルの各行毎に設けられたワードラインと、行方向に並ぶメモリセルを 1 ワード単位で接続



する分割ワードラインと、各分割ワードライン毎にワードラインに接続され、該分割ワードラインを選択する分割ワードラインセクタと、メモリセルを各列毎に接続するデータ読出し又は書込み用のビットライン対と、各ビットライン対に対して設定される列ゲートと、該列ゲートを介してビットライン対に接続されるデータ伝送用のデータライン対と、該データライン対に接続する書込み用のライトバッファ及び読出し用のセンスアンプと、該ライトバッファ及びセンスアンプを介して上記データライン対に接続するデータ入出力回路とを有しており、各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ の3系統で指定されるとともに、上記分割ワードラインセクタを選択する選択信号として2系統が設定され、列方向に並ぶ分割ワードラインセクタに対して、2系統の選択信号がそれぞれ1行ずつ交互に接続されて、2系統の選択信号の経路のうちの1系統のみがイネーブルすることにより、上記分割ワードラインセクタを選択するように構成されており、上記選択信号が装置内で計4系統イネーブルすることにより、上記アドレス入力 $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ により指定されるアドレス $(z, y, x)$ に対して、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$ で表わされる4アドレスに同時にアクセス可能であることを特徴としたものである。

## 【0030】

また、更に、本願の請求項10に係る発明は、請求項9に係る発明において、上記ライトバッファに入力される信号とデータ入出力回路との間、及び、上記センスアンプから出力される信号とデータ入出力回路との間にセクタが設けられており、上記アドレス $(z, y, x)$ に対し、 $(z, y, x)$   $(z, y, x+1)$   $(z, y+1, x)$   $(z, y+1, x+1)$ で表わされる4アドレスの入出力データが、上記セクタを介して、常時、各アドレスに1対1で対応したデータ入出力回路から送受されることを特徴としたものである。

## 【0031】

また、更に、本願の請求項11に係る発明は、請求項9又は10に係る発明に

において、上記アドレス ( $z, y, x$ ) の  $z, y, x$  に対して、 $z+1, y+1, x+1$  から得られるアドレスがメモリ空間内に存在しない場合に、 $z+1 \rightarrow 0, y+1 \rightarrow 0$  又は  $x+1 \rightarrow 0$  として、4 アドレスに同時にアクセスすることを特徴としたものである。

## 【 0 0 3 2 】

また、更に、本願の請求項 1 2 に係る発明は、請求項 9 ~ 1 1 に係る発明のいずれか一において、4 アドレスに同時にアクセスするか、若しくは、1 アドレスのみに同時にアクセスするかを選択する選択手段が設けられていることを特徴としたものである。

## 【 0 0 3 3 】

## 【発明の実施の形態】

以下、本発明の実施の形態について、添付図面を参照しながら説明する。

## 実施の形態 1.

図 1 は、本発明の実施の形態 1 に係る RAM を概略的に示すブロック図である。この RAM 1 0 は、互いに同じセル構造を有する複数 (第 1 ~ a ブロック) のメモリアレイ 1 を有するもので、各メモリアレイ 1 では、c 本のワードライン W L が、それぞれ、分割ワードラインセクタ 2 を通じて分割ワードライン D W L につながり、各分割ワードライン D W L に対して、1 ワード単位をなす b 個のメモリセル (図中、M C と表記) 3 が接続されている。メモリセル 3 は、同じ列アドレス毎に、その一端側でプリチャージ回路 4 に接続されたビットライン対 B L, B L B の間に接続されている。

## 【 0 0 3 4 】

ビットライン対 B L, B L B は、列ゲート 5 を通じて、第 1 ~ 8 のデータラインセット 8 を構成するデータライン対 D L, D L B と接続されている。更に、データライン対 D L, D L B は、センスアンプ 9 及びライトバッファ 1 1 を通じて、データ入力回路 1 2 につながっている。

## 【 0 0 3 5 】

RAM 1 0 では、外部信号に応じて、アドレス入力回路 1 4 及び内部制御回路 1 3 から各メモリアレイ 1 に含まれるメモリセル 3 に対し、行デコーダ 7 及び列

デコーダ6を介して、アドレス及び制御信号が供給される。これにより、各メモリアレイ1に含まれるメモリセル3に対するデータ読出し・書込みを含む各種の動作は、アドレス及び制御信号に基づき制御される。

## 【0036】

また、アドレス入力回路14の入力端子としては、アドレス $X[i:0]$ ，アドレス $Y[j:0]$ ，アドレス $Z[k:0]$ の3系統が規定されており、この場合、行デコーダ7でアドレス $X$ ， $Y$ がデコードされ、列デコーダ6でアドレス $X$ ， $Z$ がデコードされる。

## 【0037】

ところで、図2に、図18の(a)に示されるRAMへのアドレス割付例について、 $X[1:0]$ ， $Y[1:0]$ ， $Z[1:0]$ で示されるアドレス( $z$ ， $y$ ， $x$ )の各アドレス値 $z$ ， $y$ ， $x$ を、それぞれ、 $00 \rightarrow 0$ ， $01 \rightarrow 1$ ， $10 \rightarrow 2$ ， $11 \rightarrow 3$ と変換してあらわす。斜線が付されたブロックは、( $z$ ， $y$ ， $x$ ) = (1, 1, 1)を基準として、図16に示す格子に基づき決定される8つのアドレスに対応している。これら8つのアドレスに対して同時に読出しを行う場合には、斜線が付された8つのアドレスにアクセスする必要がある。

## 【0038】

本発明の目的を実現するには、同時に読出し動作が行われる8つのアドレスに含まれるメモリセル3が、それぞれビットライン対BL，BLBを共有してはいけない。これを考慮して、図2に示すアドレス割付を、図3の(a)のように変更する。割付の方法は幾通りか存在するが、ここでは、横方向の2ブロックにつき1アドレスが出力されるようなアドレス割付となっている。斜線が付されたブロックは、図2と同様に、図16に示す格子に基づき決定される8つのアドレスに対応している。なお、図3の(b)には、図3の(a)のアドレス割付を模式化してあらわされたものを示す。

## 【0039】

図4(a)～(d)には、図3の(a)とは異なる基準アドレスを用いた場合の、8つのアドレスの割付例を示す。図4の(a)～(d)は、それぞれ、( $z$ ， $y$ ， $x$ ) = (0, 0, 0)，(1, 1, 0)，(2, 2, 1)，(1, 1, 1)の基

準アドレスを用いた場合のアドレスの割付例である。各図の下側に付された0～⑦は、図18の(a)に示す0～⑦に対応する。これらの図から分かるように、アクセスされるアドレスの位置は、大きく2つのタイプに分類される。

## 【0040】

図4の(a)及び(b)に示す例では、アクセス対象となるアドレスが行デコーダの左右両側で同じ行の上に配列されている。この場合には、左右各1本ずつワードラインWLが立ち上がる必要がある。他方、図4の(c)及び(d)に示す例では、アクセスされるアドレスが行デコーダの左右両側で段違いに配列されている。より詳しくは、図4の(c)に、行デコーダの左右両側で共に上側2段にアドレスが配列される例が示され、また、図4の(d)には、行デコーダの左側で、上側2段にアドレスが配列され、行デコーダの右側で、下側2段にアドレスが配列される例が示されている。図4の(c)及び(d)の場合には、行デコーダの左右両側で、各2本ずつワードラインWLが立ち上がる必要がある。

## 【0041】

ところで、図17に示すような従来のRAM100では、行デコーダに対して同じ側にある2本のワードラインWLが同時に立ち上がり、分割ワードラインセクタ102の選択信号G[a-1:0]がイネーブルになると、分割ワードラインDWLも2本同時に立ち上がってしまい、ビットライン対BL及びBLBを介してデータが衝突する問題が生じる。かかる問題を解消すべく、本実施の形態1では、図1に示すように、分割ワードラインセクタ2の選択信号として、GA[a-1:0]及びGB[a-1:0]の2系統が設定されており、これらは、メモリアレイ1内で列方向に並ぶ分割ワードラインセクタ2に対して、それぞれ1行ずつ交互に接続されている。かかる構成を用いて、各メモリアレイ毎に選択信号GA[a-1:0]又はGB[a-1:0]のどちらか1つのみがイネーブルするか、若しくは、GA[a-1:0]もGB[a-1:0]も立ち上がらないようにすることにより、行デコーダの片側で最大2本のワードラインWLが同時に立ち上がってもデータの衝突を回避することができる。

## 【0042】

また、図1に示すRAM10では、データライン対DL, DLBの組を1セッ

トとして、計8組のデータラインセット8をもつ構成が採用されている。これは、図3の(a)に示すような横方向の数ブロックから1アドレスだけが出力されるように配置したアドレス割付を前提とした構成の一例である。ここでは、例えば $a=16$ であれば、各データラインセット8に対して、 $b$ 列のメモリセル3が2ブロック分接続されており、また、 $b$ ビット分のセンスアンプ9及びライトバッファ11も接続されている。

## 【0043】

列ゲート5は、列デコーダ6から出力された選択信号 $GA[a-1:0]$ 又は $GB[a-1:0]$ のいずれかがイネーブルになると、ビットライン対 $BL$ 、 $BLB$ とデータライン対 $DL$ 、 $DLB$ との間のゲートを開放する。プリチャージ回路4は、選択信号 $GA[a-1:0]$ 及び $GB[a-1:0]$ のいずれもディセイブルであれば、ビットライン対 $BL$ 、 $BLB$ をプリチャージする。列デコーダ6は、第1～ $a$ のブロックのうちのアクセスする8アドレスを含むブロックに入力される $GA[a-1:0]$ 又は $GB[a-1:0]$ を、 $(z, y, x)$ の値に応じてイネーブルする。行デコーダ7は、 $(z, y, x)$ の値に応じて、左右両側1本ずつ若しくは2本ずつワードライン $WL$ を立ち上げる。

## 【0044】

また、本実施の形態1では、行デコーダ7がメモリアレイ1の中央に、すなわち、左右両側において同数のメモリアレイ1を有するように配置されている。例えば行デコーダ6の片側に全てのメモリアレイ1があると、行デコーダ7の片側のみで最大4本のワードライン $WL$ が立ち上がることになり、列デコーダ6からの選択信号 $GA[a-1]$ 、 $GB[a-1]$ だけでは、ビットライン $BL$ 上でデータが衝突してしまう。これを回避するために、行デコーダ7が中央に配置される。なお、図1で左右両側に配置されるメモリアレイ1に対して、それぞれ、行デコーダ6を接続するのであれば、メモリアレイ1の中央に行デコーダを配置する必要はない。

## 【0045】

続いて、図5及び6には、それぞれ、図3の(a)で示すアドレス割付を行う場合における、列デコーダ6及び行デコーダ7の回路構成の例を示す。また、こ

の例では、図1における $a$ 、 $c$ が、それぞれ、 $a=16$ 、 $c=4$ であるとする。かかる回路構成では、アドレス入力 $X[1:0]$ 、 $Y[1:0]$ 、 $Z[1:0]$ のうち、 $X[1:0]$ 、 $Z[1:0]$ が列デコーダ6によりデコードされ、 $X[1:0]$ 、 $Y[1:0]$ が行デコーダ7によりデコードされる。

## 【0046】

図3及び4では、それぞれ、基準アドレス $(z, y, x)$ を構成する $x$ 、 $y$ 、 $z$ の値として2以下の数をとる場合が取り上げられてきたが、図7～9に、それぞれ、アドレス $(z, y, x)$ を構成するアドレス値 $x$ 、 $y$ 、 $z$ の1つが3の値をとる場合の例を示す。図7は、図17に示す従来のRAM100に関する $(0, 0, 0) \sim (4, 4, 4)$ のアドレス割付の例である。このとき、アドレス入力端子としては、 $X[2:0]$ 、 $Y[2:0]$ 、 $Z[2:0]$ の各3本が必要とされ、 $X$ 、 $Y$ 、 $Z$ の各アドレス値が、 $000 \rightarrow 0$ 、 $001 \rightarrow 1$ 、 $010 \rightarrow 2$ 、 $011 \rightarrow 3$ 、 $100 \rightarrow 4$ と変換されて、アドレスが $(z, y, z)$ で示されている。左上がりの斜線が付されたブロックが、 $(z, y, x) = (3, 3, 3)$ を基準として図16に示す格子により決定される8つのアドレスに対応している。

## 【0047】

しかしながら、この場合にも、図3の(a)に示す場合と同様に、指定された8つのアドレスが互いに隣接したブロックに対応し、同じビットライン対BL、BLBを共有するため、8アドレス分のデータを1サイクルで同時に読み出すことができない。

## 【0048】

他方、図8は、図7に示すアドレス割付に対応する、図1に示すRAM10に関するアドレス割付の例である。左上がりの斜線が付されたブロックは、図7と同様に、 $(z, y, x) = (3, 3, 3)$ を基準として図16に示す格子により決定される8つのアドレスに対応する。ここでは、図1における $a$ 、 $c$ が、 $a=24$ 、 $c=9$ であるとし、各データラインセット8に対して、それぞれ1列の分割ワードラインDWLを含む3つのブロックが接続される。また、複数アドレスへの同時アクセスを可能とするアドレス割付の都合上、アドレス値として本来不要な「5」を含むアドレス(右上がりの斜線が付されたブロック)も必要となる

。「5」とは、X、Y又はZのアドレス値が101→5と変換されてなる値である。実際には、「5」を含むアドレスはアクセス対象であるアドレスとしては使用されず、これにより、 $z = 5$ の列は、レイアウト上で省略可能である。

#### 【0049】

また、図9は、図8に示すアドレス割付を模式化して示すものである。前述したように、図7に示すアドレス割付では、従来のRAM100において、X[2:0]、Y[2:0]、Z[2:0]の各3本のアドレス入力端子が必要となるが、図8及び9に示すアドレス割付では、RAM10において、基準の(z, y, x)つまり図16に示す格子において0に相当するアドレスが、(0, 0, 0)～(3, 3, 3)をとれば、必要とされる(0, 0, 0)～(4, 4, 4)のアドレスにアクセスすることが可能となり、このため、アドレス入力端子は、X[1:0]、Y[1:0]、Z[1:0]の各2本で済む。

#### 【0050】

なお、図8に示すアドレス割付は、図7のそれに比べて大きな面積を有するものとなっている。しかしながら、例えば従来技術として図19を参照して説明したように、それぞれ全容量の一部を構成する容量を備えた8つのRAMの適用を考えた場合、図7に示すアドレス割付を八等分することができず、 $1/8$ の容量のRAMは存在しない。このため、実際には、それぞれ $1/8$ よりも大きい容量のRAMを使用する必要がある。更に、配線領域も合せて考慮すれば、結果として、全体の面積は、図7に示す場合に比べ、図8に示す場合の方が小さくなり、面積の点では有利である。

#### 【0051】

以上のような構成を備えたRAMによれば、8つのアドレスに対し同時にアクセスすること、つまりデータの読出し・書込みが可能である。また、このRAMを実現する上で、回路面積及び配線面積の増大は伴わない。

#### 【0052】

次に、本発明の他の実施の形態について説明する。以下では、上記実施の形態における場合と同じものについては同一の符号を付し、それ以上の説明を省略する。

## 実施の形態 2.

図 16 に示す格子に基づき決定される 8 つのアドレスは、図 4 の (a) ~ (d) における 0 ~ ⑦ の位置の違いを見れば分かるように、アドレス (z, y, x) の値によって、どのブロックに割り当てられるかが変化する。これに伴い、図 1 に示す RAM 10 の構成では、例えば左下の b ビット分のデータ入出力回路 12 から入出力されるデータについても、アドレス (z, y, x) の値に応じて、(z, y, x) のデータが入出力される場合もあれば、(z, y, x+1) のデータが入出力される場合、更に、その他のアドレスデータが入出力される場合もある。しかしながら、この状態では、RAM 10 を使用する上で扱いにくい。

## 【0053】

これを解消すべく、本実施の形態 2 では、図 10 に示すように、センスアンプ 9 及びライトバッファ 11 とデータ入出力回路 12 との間に、それぞれ b 本からなる 8 セットのバス DLSET\_DIO が設けられている。また、バス DLSET\_DIO とデータ入出力回路 12 との間に、セクタ 19 が設けられている。このセクタ 19 は、アドレス入力回路 14 からの入力に基づき、所定のアドレスに対応するデータを選択して通過させるものである。かかる構成により、ある b 個のデータ入出力回路 12 には常にアドレス (z, y, x) のデータが入出力され、別の b 個のデータ入出力回路 12 には常にアドレス (z, y, x+1) のデータが入出力され、また、その他の b 個のデータ入出力回路 12 にも同様に、所定のアドレスのデータが入出力される。

## 【0054】

## 実施の形態 3.

8 つのアドレスの同時読出し又は書込み可能な RAM 10 (図 1 参照) に対して、1 つのアドレスのみ書換えを行う必要が生じた場合、他の 7 つのアドレスのデータが書き換わらないように、常時、8 つのアドレス分のデータを用意し、書換え対象のアドレスのみに書換え用のデータを入力し、他の 7 つのアドレスには、書き込まれているデータと同じデータを入力する必要がある。本実施の形態 3 では、かかる面倒な制御を解消すべく、8 つのアドレスを同時に読み出す又は書き込むか、若しくは、1 つのアドレスのみを読み出す又は書き込むかを選択可能



とする端子が付設される。

#### 【 0 0 5 5 】

図 1 1 に、本実施の形態 3 に従い、選択端子 SEL が図 1 に示す構成に追加された態様を示す。なお、ここでは、内部制御回路 1 3，アドレス入力回路 1 4，列デコーダ 2 6 及び行デコーダ 2 7 以外の構成を省略する。選択端子 SEL は列デコーダ 2 6 及び行デコーダ 2 7 に対して接続されており、外部からの選択信号が選択端子 SEL を介し、列デコーダ 2 6 及び行デコーダ 2 7 に対して供給される。

#### 【 0 0 5 6 】

図 1 2 に、行デコーダ 2 7 の内部構成を示す。この行デコーダ 2 7 では、8 アドレスアクセス用行デコーダ 3 7 A が、MWL [c - 1 : 0] 及び MWL [c - 1 : 0]' からそれぞれ 1 本又は 2 本の信号を立ち上げる。他方、1 アドレスアクセス用行デコーダ 3 7 B が、SWL [c - 1 : 0] 及び SWL [c - 1 : 0]' からただ 1 本の信号を立ち上げる。各 MWL 及び SWL からの信号は、セクタ 3 1 に入力される。ここでは、例えば、SEL = 0 であれば、MWL 側の信号が選択され、また、一方、SEL = 1 であれば、SWL 側の信号が選択される。

#### 【 0 0 5 7 】

また、図 1 3 には、列デコーダ 2 6 の内部構成を示す。この列デコーダ 2 6 では、8 アドレスアクセス用列デコーダ 4 6 A が、MGA [a - 1 : 0] 及び MGB [a - 1 : 0] から、アクセス対象である 8 アドレスに対応するブロックにアクセスするための信号を 8 本立ち上げる。他方、1 アドレスアクセス用列デコーダが、SG [a - 1 : 0] からただ 1 本の信号を立ち上げる。MGA 及び MGB は、それぞれ、セクタ 4 1 に入力される。SG は、[ ] 内の番号に等しい GA 及び GB が接続されるセクタ 4 1 にそれぞれ入力される。1 アドレスアクセスの場合には、1 本のワードラインしか立ち上がらないため、GA 及び GB の同じ番号の信号が同時に立ち上がっても問題ない。ここでは、例えば、SEL = 0 であれば、MGA 及び MGB 側の信号が選択され、SEL = 1 であれば、SG 側の信号が選択される。

#### 【 0 0 5 8 】

このように、選択端子SELを設け、更に、列デコーダ26及び行デコーダ27を上記のように構成することにより、8アドレスアクセス及び1アドレスアクセスの選択を任意に行うことが可能となり、必要に応じて、面倒な制御を伴うことなく、1アドレスアクセスを実行することができる。

## 【0059】

ただし、この実施の形態3では、次のような注意が必要となる。例えば、図3に示すアドレス割付で1つのアドレスのみにアクセスする場合には、アドレス入力端子として、 $X[1:0]$ 、 $Y[1:0]$ 、 $Z[1:0]$ の各2本ずつで問題がない。これに対して、図8に示すアドレス割付で8つのアドレスに同時にアクセスする場合には、基準の $(z, y, x)$ つまり図16に示す0に相当するアドレスが最大 $(3, 3, 3)$ をとれば、+1加算されたアドレス $(4, 4, 4)$ までのアクセスも可能となり、アドレス入力端子としては、 $X[1:0]$ 、 $Y[1:0]$ 、 $Z[1:0]$ の各2本ずつで問題がないが、1アドレスのみのアクセスの場合には、アドレス入力端子として、 $X[2:0]$ 、 $Y[2:0]$ 、 $Z[2:0]$ の各3本ずつが必要となる。

## 【0060】

実施の形態4.

図3に示すアドレス割付に関しては、アドレス値として「4」を含むものは存在しておらず、このアドレス割付は、アドレス値として「3」を含む基準アドレス $(z, y, x)$ には適用されない。これに対処すべく、この実施の形態4では、「4」の代わりに「0」の値をもつアドレスにアクセスする方法が考えられる。かかるアクセスは、図3に示す構成に対し、図5及び6にそれぞれ示す列デコーダ及び行デコーダにおいて、 $x, y, z$ が「3」の値をとり得る構成が採用されることにより可能となる。

## 【0061】

他方、図8に示すアドレス割付に関しては、基準アドレス $(z, y, x)$ を構成するアドレス値 $x, y, z$ についての許容最大値が「4」である場合に、基準アドレス $(z, y, x)$ に「4」を含む場合における $x+1, y+1, z+1$ の値（ここでは「5」）を使用せず、その代わりに、 $x+1 \rightarrow 0, y+1 \rightarrow 0, z$

+1→0の値をもつアドレスにアクセスする。なお、かかるアクセスは、図8に示す構成に対し、図5及び6にそれぞれ示す列デコーダ及び行デコーダにおいて、x, y, zが「4」の値をとり得る構成が採用されることにより可能となる。

## 【0062】

## 実施の形態5.

また、8つのアドレスの同時読出し又は書込み可能なRAMを実現するには、前述した実施の形態とは異なる次のような方法が考えられる。前述した実施の形態1に係るRAM10では、行デコーダの片側のみで最大4本のワードラインWLが立ち上がるようにした場合には、ビットラインBL上でデータが衝突してしまう。特に図示しないが、これを解消するために、実施の形態4として、列ゲートから出力される分割ワードラインセクタの選択信号を4系統設定し、列方向に並ぶ分割ワードラインセクタに対してそれらを4行おきに接続する設計が考えられる。また、行デコーダの片側のみでワードラインWLを1本、2本若しくは4本同時に立ち上がるように設計される。なお、これらは、図4の(a)～(d)で、行デコーダを外した態様に相当する。

## 【0063】

## 実施の形態6.

例えば動作速度の要求が低い場合には、8アドレス同時アクセスの代わりとして、4アドレス同時アクセスを可能とするRAMを用いることが考えられる。4アドレス同時アクセスを可能とするRAMでは、8アドレス同時アクセス時と比較して、データ伝送用の配線も半分になり、配線面積が減少する。例えば、図19に示す場合と同様に、0と④を含むRAMを、 $c \times a = 2 \times 8$ の1つのRAMにまとめるように構成させ、同様にして、①と⑤、②と⑥、③と⑦を含むRAMを1つのRAMに構成させることにより、4アドレス同時アクセスを可能とする構成が実現可能となる。しかしながら、この場合、別個のRAMを4つ使用することは、RAM内部の制御回路の重複を伴い、また、4つのRAMと外部のアドレスデコード用回路を接続する配線領域も必要となるため、チップ面積の増大をもたらす恐れがある。

## 【0064】

これに対して、本実施の形態6では、8アドレス同時アクセスを可能とするRAMと同様に、単体で4つのアドレスの同時読出し又は書込みを可能とする機能を実現するRAMを設計することを考える。この場合、回路構成は基本的に図1に示す構成と同様である。図1に示すRAMと異なる点は、分割ワードラインを選択する信号が1度にイネーブルになる本数が8本から4本に変わる点、及び、データラインセットが4セットのみ設けられる点である。

## 【0065】

例えば図3に示すようなアドレス割付が採用された場合、 $(z, y, x) = (1, 1, 1)$ であれば、 $(1, 1, 1)$ ,  $(1, 1, 2)$ ,  $(1, 2, 1)$ ,  $(1, 2, 2)$ を含む4行のワードラインWLが立ち上がる。これに対処するために、行デコーダは中央に配置されるか、若しくは、各メモリアレイに対してそれぞれ行デコーダが配置される必要がある。これに対して、例えば図14の(a)及び(b)に示すようなアドレス割付が採用された場合には、最大2行のワードラインWLを同時に立ち上げるだけでよく、このため、行デコーダの片側にすべてのメモリアレイがあっても問題ない。

## 【0066】

また、4アドレス同時アクセスを可能とするRAMについても、前述した実施の形態3の構成を採用することにより、あるb個のデータ入出力回路には常時アドレス $(z, y, x)$ のデータが入出力され、別のb個のデータ入出力回路には常時アドレス $(z, y, x+1)$ のデータが入出力され、また、その他のデータ入出力回路においても常時それに対応したデータのみが入出力されるようにすることが可能である。

更に、4つのアドレスに同時にアクセスするか、若しくは、1つのアドレスのみにアクセスするかを選択する機能は、8アドレス同時アクセスについて前述した実施の形態3と同様にして実現することができる。

## 【0067】

なお、本発明は、例示された実施の形態に限定されるものでなく、本発明の要旨を逸脱しない範囲において、種々の改良及び設計上の変更が可能であることは言うまでもない。

【 0 0 6 8 】

## 【発明の効果】

以上の説明から明らかなように、本願の請求項 1 に係る発明によれば、1 つの RAM に対して、8 アドレスに同時にアクセスすることが可能であり、これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 6 9 】

また、本願の請求項 2 に係る発明によれば、各データ入出力回路に対して、常時、(z, y, x) に基づき決定される 8 アドレスのうちの所定のアドレスに対応した入出力が割り当てられるため、外部に回路を追加する必要がなくなり、外部の配線領域の低減化を図ることができる。

【 0 0 7 0 】

更に、本願の請求項 3 に係る発明によれば、請求項 1 に係る発明と同様に、1 つの RAM に対して、8 アドレスに同時にアクセスすることが可能であり、これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 7 1 】

また、更に、本願の請求項 4 に係る発明によれば、1 アドレスのみ書き換えるような場合に、他のアドレスが書き換わらないように、他のアドレスには既に書き込まれているデータを用意するという作業が必要でなくなり、システム設計が容易となる。

【 0 0 7 2 】

また、更に、本願の請求項 5 に係る発明によれば、1 つの RAM に対して、8 アドレスに同時にアクセスすることが可能である。これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 7 3 】

また、更に、本願の請求項 6 に係る発明によれば、各データ入出力回路に対して、常時、(z, y, x) に基づき決定される 8 アドレスのうちの所定のアドレスに対応した入出力が割り当てられるため、外部に回路を追加する必要がなくな

り、外部の配線領域の低減化を図ることができる。

【 0 0 7 4 】

また、更に、本願の請求項 7 に係る発明によれば、請求項 5 に係る発明と同様に、1 つの RAM に対して、8 アドレスに同時にアクセスすることが可能であり、これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 7 5 】

また、更に、本願の請求項 8 に係る発明によれば、1 アドレスのみ書き換えるような場合に、他のアドレスが書き換わらないように、他のアドレスには既に書き込まれているデータを用意するという作業が必要でなくなり、システム設計が容易となる。

【 0 0 7 6 】

また、更に、本願の請求項 9 に係る発明によれば、1 つの RAM に対して、4 アドレスに同時にアクセスすることが可能である。これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 7 7 】

また、更に、本願の請求項 1 0 に係る発明によれば、各データ入出力回路に対して、常時、(z, y, x) に基づき決定される 4 アドレスのうちの所定のアドレスに対応した入出力が割り当てられるため、外部に回路を追加する必要がなくなり、外部の配線領域の低減化を図ることができる。

【 0 0 7 8 】

また、更に、本願の請求項 1 1 に係る発明によれば、請求項 9 に係る発明と同様に、1 つの RAM に対して、4 アドレスに同時にアクセスすることが可能であり、これにより、従来の方法で同機能を実現する場合に比べて、回路面積及び配線領域を縮小することができる。

【 0 0 7 9 】

また、更に、本願の請求項 1 2 に係る発明によれば、1 アドレスのみ書き換えるような場合に、他のアドレスが書き換わらないように、他のアドレスには既に書き込まれているデータを用意するという作業が必要でなくなり、システム設計

が容易となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るRAMの構成を概略的に示すブロック図である。

【図2】  $a \times c = 16 \times 4$  のメモリアレイに対してアドレス割付された  $X[1:0]$ ,  $Y[1:0]$ ,  $Z[1:0]$  で示されるアドレス  $(z, y, x)$  の各アドレス値  $z, y, x$  を、それぞれ、 $00 \rightarrow 0$ ,  $01 \rightarrow 1$ ,  $10 \rightarrow 2$ ,  $11 \rightarrow 3$  と変換してあらわす図である。

【図3】 (a) 本発明の実施の形態1に従った横方向の2ブロックにつき1アドレスが出力されるアドレス割付の一例を示す図である。

(b) 図3の(a)に示すアドレス割付を模式化してあらわす図である。

【図4】 (a) 図3の(a)に示すアドレス割付に対して、 $(z, y, x) = (0, 0, 0)$  のときに、8つのアドレスに同時にアクセスする際のアドレス位置を示す図である。

(b) 図3の(a)に示すアドレス割付に対して、 $(z, y, x) = (1, 1, 0)$  のときに、8つのアドレスに同時にアクセスする際のアドレス位置を示す図である。

(c) 図3の(a)に示すアドレス割付に対して、 $(z, y, x) = (2, 2, 1)$  のときに、8つのアドレスに同時にアクセスする際のアドレス位置を示す図である。

(d) 図3の(a)に示すアドレス割付に対して、 $(z, y, x) = (1, 1, 1)$  のときに、8つのアドレスに同時にアクセスする際のアドレス位置を示す図である。

【図5】 列デコーダの内部構成を示す図である。

【図6】 行デコーダの内部構成を示す図である。

【図7】 従来のRAMに関するアドレス割付の一例を示す図である。

【図8】 本発明の実施の形態1に係るRAMに関するアドレス割付の一例を示す図である。

【図 9】 図 8 に示すアドレス割付を模式化してあらわす図である。

【図 1 0】 本発明の実施の形態 2 に係る R A M の一部を示すブロック図である。

【図 1 1】 本発明の実施の形態 3 に係る選択信号経路を備えた R A M の一部を示すブロック図である。

【図 1 2】 上記実施の形態 3 に係る選択信号経路に対応した行デコーダの構成例を示すブロック図である。

【図 1 3】 上記実施の形態 3 に係る選択信号経路に対応した列デコーダの構成例を示すブロック図である。

【図 1 4】 ( a ) 本発明の実施の形態 4 に係るアドレス割付の一例を示す図である。

( b ) 図 1 4 の ( a ) に示すアドレス割付を模式化してあらわす図である。

【図 1 5】 複数のメモリアレイを用いて構成される色変換データメモリ領域を示す説明図である。

【図 1 6】 データへのアクセス時に用いる複数のアドレスを、アドレス ( z , y , x ) を基準として選択する例を示す説明図である。

【図 1 7】 従来の R A M を概略的に示すブロック図である。

【図 1 8】 ( a ) それぞれ b ビット単位で模式化され、 ( a × c ) ワードの記憶領域を構成するメモリアレイに対するアドレス割付の一例を示す図である。

( b ) 図 1 8 の ( a ) に示すメモリアレイのうちの 1 ビットに対応する 1 ブロックをあらわす図である。

【図 1 9】 ( a )  $a \times c = 4 \times 2$  のブロックを 8 つ備えた R A M におけるアドレス割付の一例を示す図である。

( b ) 図 1 9 の ( a ) に示す R A M の回路構成を概略的に示す図である。

#### 【符号の説明】

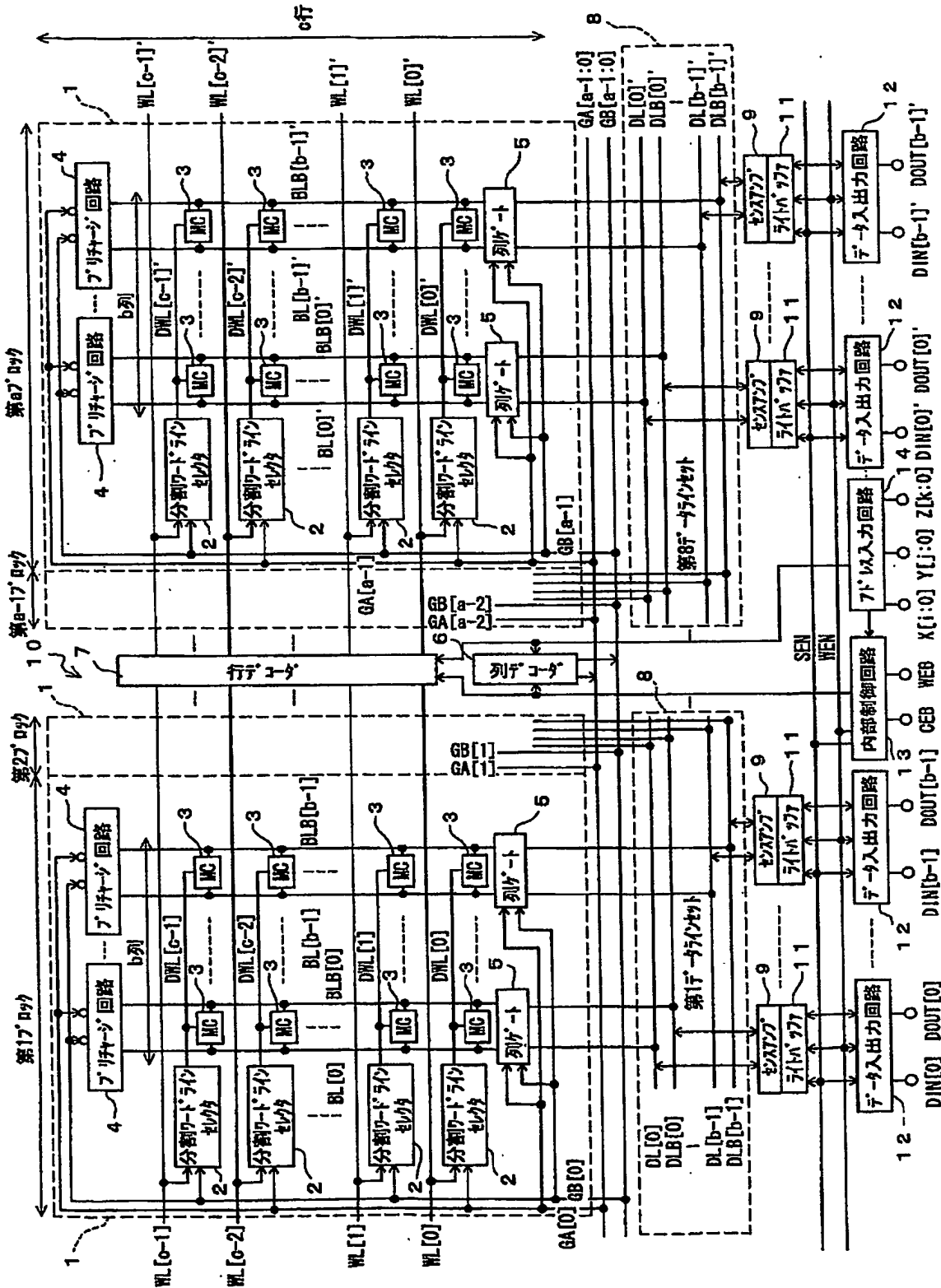
1 メモリアレイ, 2 分割ワードラインセクタ, 3 メモリセル, 4 プリ



チャージ回路, 5 列ゲート, 6 列デコーダ, 7 行デコーダ, 8 データラインセット, 9 センスアンプ, 10 RAM, 11 ライトバッファ, 12 データ入出力回路, 13 内部制御回路, 14 アドレス入力回路, BL ビットライン, DWL 分割ワードライン, GA, GB 分割ワードラインセレクト用の選択信号, WL ワードライン

【書類名】 図面

【図 1】



【図2】

X7F'バ				(0,0,3)	(0,1,3)	(0,2,3)	(0,3,3)	(1,0,3)	(1,1,3)	(1,2,3)	(1,3,3)	(2,0,3)	(2,1,3)	(2,2,3)	(2,3,3)	(3,0,3)	(3,1,3)	(3,2,3)	(3,3,3)
11	10	01	00	(0,0,2)	(0,1,2)	(0,2,2)	(0,3,2)	(1,0,2)	(1,1,2)	(1,2,2)	(1,3,2)	(2,0,2)	(2,1,2)	(2,2,2)	(2,3,2)	(3,0,2)	(3,1,2)	(3,2,2)	(3,3,2)
01	00	(0,0,1)	(0,1,1)	(0,2,1)	(0,3,1)	(1,0,1)	(1,1,1)	(1,2,1)	(1,3,1)	(2,0,1)	(2,1,1)	(2,2,1)	(2,3,1)	(3,0,1)	(3,1,1)	(3,2,1)	(3,3,1)		
00	(0,0,0)	(0,1,0)	(0,2,0)	(0,3,0)	(1,0,0)	(1,1,0)	(1,2,0)	(1,3,0)	(2,0,0)	(2,1,0)	(2,2,0)	(2,3,0)	(3,0,0)	(3,1,0)	(3,2,0)	(3,3,0)			
Y7F'バ				00	01	10	11	00	01	10	11	00	01	10	11	00	01	10	11
Z7F'バ				00				01				10				11			

【図 3】

(a)

(0, 2, 2)	(2, 2, 2)	(0, 2, 3)	(2, 2, 3)	(1, 2, 2)	(3, 2, 2)	(1, 2, 3)	(3, 2, 3)	行: 1-4				(0, 3, 2)	(2, 3, 2)	(0, 3, 3)	(2, 3, 3)	(1, 3, 2)	(3, 3, 2)	(1, 3, 3)	(3, 3, 3)
(0, 2, 0)	(2, 2, 0)	(0, 2, 1)	(2, 2, 1)	(1, 2, 0)	(3, 2, 0)	(1, 2, 1)	(3, 2, 1)					(0, 3, 0)	(2, 3, 0)	(0, 3, 1)	(2, 3, 1)	(1, 3, 0)	(3, 3, 0)	(1, 3, 1)	(3, 3, 1)
(0, 0, 2)	(2, 0, 2)	(0, 0, 3)	(2, 0, 3)	(1, 0, 2)	(3, 0, 2)	(1, 0, 3)	(3, 0, 3)					(0, 1, 2)	(2, 1, 2)	(0, 1, 3)	(2, 1, 3)	(1, 1, 2)	(3, 1, 2)	(1, 1, 3)	(3, 1, 3)
(0, 0, 0)	(2, 0, 0)	(0, 0, 1)	(2, 0, 1)	(1, 0, 0)	(3, 0, 0)	(1, 0, 1)	(3, 0, 1)					(0, 1, 0)	(2, 1, 0)	(0, 1, 1)	(2, 1, 1)	(1, 1, 0)	(3, 1, 0)	(1, 1, 1)	(3, 1, 1)

(b)

z=0	z=2	z=0	z=2	z=1	z=3	z=1	z=3	z=0	z=2	z=0	z=2	z=1	z=3	z=0	z=2	z=1	z=3	z=1	z=3	z=0	z=2	z=1	z=3
x=2	y=2	x=2	y=2	x=3	y=2	x=2	y=2	x=2	y=3	x=2	y=3	x=3	y=3	x=3	y=3	x=2	y=3	x=2	y=3	x=3	y=3	x=2	y=3
x=0	x=0	x=3	x=1	x=0	x=1	x=0	x=1	x=0	x=0	x=0	x=0	x=1	x=1	x=3	x=1	x=0	x=0	x=1	x=1	x=3	x=1	x=1	x=1
x=2	y=0	x=3	y=0	x=2	y=0	x=2	y=0	x=2	y=1	x=2	y=1	x=3	y=1	x=3	y=1	x=2	y=1	x=2	y=1	x=3	y=1	x=2	y=1
x=0	x=0	x=1	x=1	x=0	x=1	x=0	x=1	x=0	x=0	x=0	x=0	x=1	x=1	x=1	x=1	x=0	x=0	x=1	x=1	x=1	x=1	x=1	x=1

【図 4】

(a)  $(z, y, x) = (0, 0, 0)$  の場合

(0, 2, 2)	(2, 2, 2)	(0, 2, 3)	(2, 2, 3)	(1, 2, 2)	(3, 2, 2)	(1, 2, 3)	(3, 2, 3)	行、列				(0, 3, 2)	(2, 3, 2)	(0, 3, 3)	(2, 3, 3)	(1, 3, 2)	(3, 3, 2)	(1, 3, 3)	(3, 3, 3)
(0, 2, 0)	(2, 2, 0)	(0, 2, 1)	(2, 2, 1)	(1, 2, 0)	(3, 2, 0)	(1, 2, 1)	(3, 2, 1)	行、列				(0, 3, 0)	(2, 3, 0)	(0, 3, 1)	(2, 3, 1)	(1, 3, 0)	(3, 3, 0)	(1, 3, 1)	(3, 3, 1)
(0, 0, 2)	(2, 0, 2)	(0, 0, 3)	(2, 0, 3)	(1, 0, 2)	(3, 0, 2)	(1, 0, 3)	(3, 0, 3)	行、列				(0, 1, 2)	(2, 1, 2)	(0, 1, 3)	(2, 1, 3)	(1, 1, 2)	(3, 1, 2)	(1, 1, 3)	(3, 1, 3)
(0, 0, 0)	(2, 0, 0)	(0, 0, 1)	(2, 0, 1)	(1, 0, 0)	(3, 0, 0)	(1, 0, 1)	(3, 0, 1)	行、列				(0, 1, 0)	(2, 1, 0)	(0, 1, 1)	(2, 1, 1)	(1, 1, 0)	(3, 1, 0)	(1, 1, 1)	(3, 1, 1)
①				④				⑤				②				⑥			
⑦																			

(b)  $(z, y, x) = (1, 1, 0)$  の場合

(0, 2, 2)	(2, 2, 2)	(0, 2, 3)	(2, 2, 3)	(1, 2, 2)	(3, 2, 2)	(1, 2, 3)	(3, 2, 3)	行、列				(0, 3, 2)	(2, 3, 2)	(0, 3, 3)	(2, 3, 3)	(1, 3, 2)	(3, 3, 2)	(1, 3, 3)	(3, 3, 3)
(0, 2, 0)	(2, 2, 0)	(0, 2, 1)	(2, 2, 1)	(1, 2, 0)	(3, 2, 0)	(1, 2, 1)	(3, 2, 1)	行、列				(0, 3, 0)	(2, 3, 0)	(0, 3, 1)	(2, 3, 1)	(1, 3, 0)	(3, 3, 0)	(1, 3, 1)	(3, 3, 1)
(0, 0, 2)	(2, 0, 2)	(0, 0, 3)	(2, 0, 3)	(1, 0, 2)	(3, 0, 2)	(1, 0, 3)	(3, 0, 3)	行、列				(0, 1, 2)	(2, 1, 2)	(0, 1, 3)	(2, 1, 3)	(1, 1, 2)	(3, 1, 2)	(1, 1, 3)	(3, 1, 3)
(0, 0, 0)	(2, 0, 0)	(0, 0, 1)	(2, 0, 1)	(1, 0, 0)	(3, 0, 0)	(1, 0, 1)	(3, 0, 1)	行、列				(0, 1, 0)	(2, 1, 0)	(0, 1, 1)	(2, 1, 1)	(1, 1, 0)	(3, 1, 0)	(1, 1, 1)	(3, 1, 1)
⑥				⑦				③				④				⑤			
				②												①			

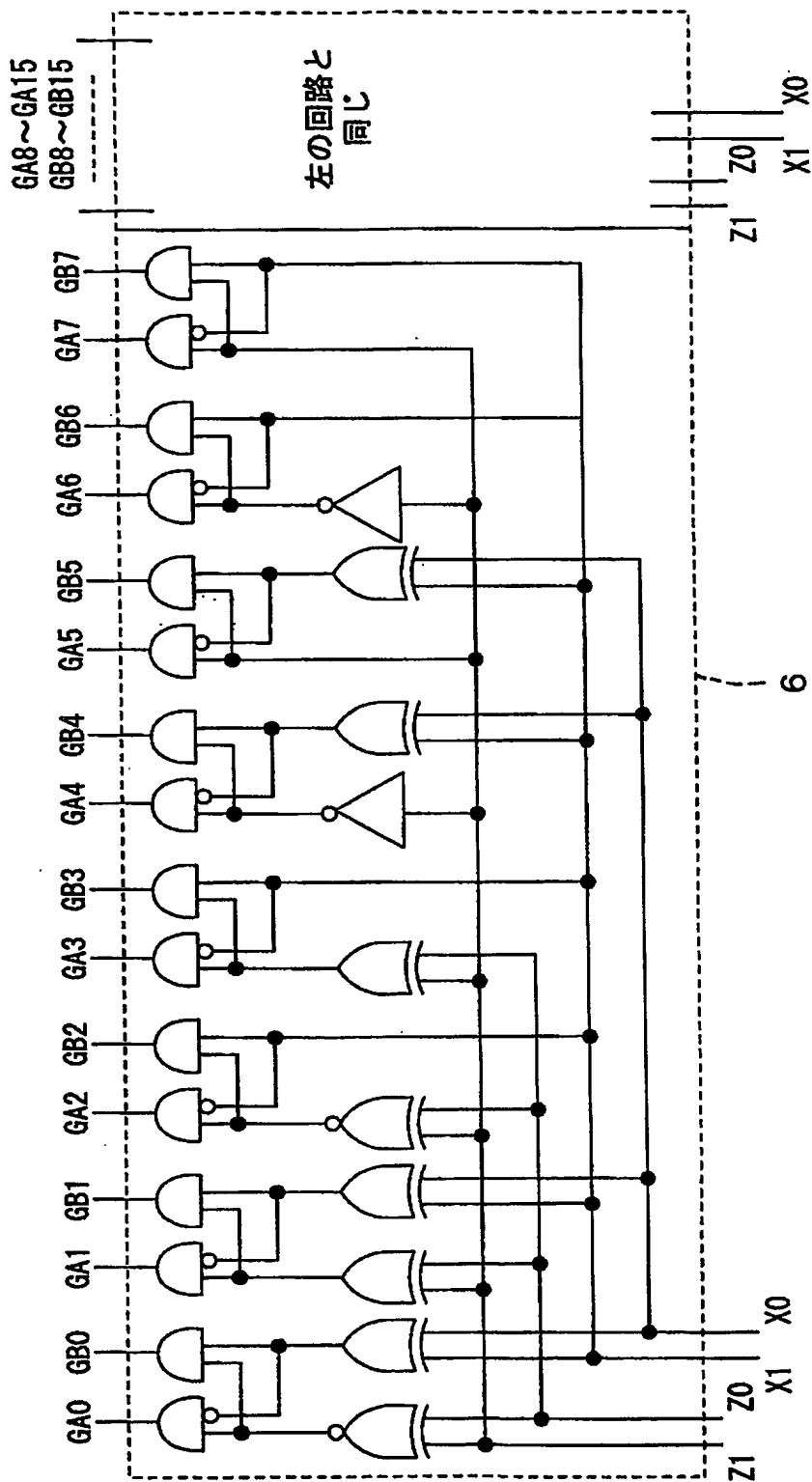
(c)  $(z, y, x) = (2, 2, 1)$  の場合

(0, 2, 2)	(2, 2, 2)	(0, 2, 3)	(2, 2, 3)	(1, 2, 2)	(3, 2, 2)	(1, 2, 3)	(3, 2, 3)	行、列				(0, 3, 2)	(2, 3, 2)	(0, 3, 3)	(2, 3, 3)	(1, 3, 2)	(3, 3, 2)	(1, 3, 3)	(3, 3, 3)
(0, 2, 0)	(2, 2, 0)	(0, 2, 1)	(2, 2, 1)	(1, 2, 0)	(3, 2, 0)	(1, 2, 1)	(3, 2, 1)	行、列				(0, 3, 0)	(2, 3, 0)	(0, 3, 1)	(2, 3, 1)	(1, 3, 0)	(3, 3, 0)	(1, 3, 1)	(3, 3, 1)
(0, 0, 2)	(2, 0, 2)	(0, 0, 3)	(2, 0, 3)	(1, 0, 2)	(3, 0, 2)	(1, 0, 3)	(3, 0, 3)	行、列				(0, 1, 2)	(2, 1, 2)	(0, 1, 3)	(2, 1, 3)	(1, 1, 2)	(3, 1, 2)	(1, 1, 3)	(3, 1, 3)
(0, 0, 0)	(2, 0, 0)	(0, 0, 1)	(2, 0, 1)	(1, 0, 0)	(3, 0, 0)	(1, 0, 1)	(3, 0, 1)	行、列				(0, 1, 0)	(2, 1, 0)	(0, 1, 1)	(2, 1, 1)	(1, 1, 0)	(3, 1, 0)	(1, 1, 1)	(3, 1, 1)
①				⑦				⑤				③				②			
				⑥												⑦			

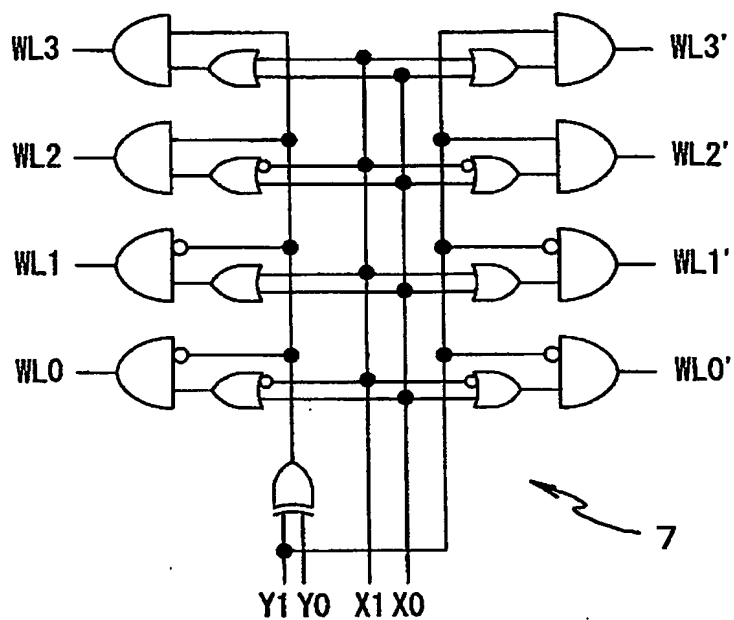
(d)  $(z, y, x) = (1, 1, 1)$  の場合

(0, 2, 2)	(2, 2, 2)	(0, 2, 3)	(2, 2, 3)	(1, 2, 2)	(3, 2, 2)	(1, 2, 3)	(3, 2, 3)	行、列				(0, 3, 2)	(2, 3, 2)	(0, 3, 3)	(2, 3, 3)	(1, 3, 2)	(3, 3, 2)	(1, 3, 3)	(3, 3, 3)
(0, 2, 0)	(2, 2, 0)	(0, 2, 1)	(2, 2, 1)	(1, 2, 0)	(3, 2, 0)	(1, 2, 1)	(3, 2, 1)	行、列				(0, 3, 0)	(2, 3, 0)	(0, 3, 1)	(2, 3, 1)	(1, 3, 0)	(3, 3, 0)	(1, 3, 1)	(3, 3, 1)
(0, 0, 2)	(2, 0, 2)	(0, 0, 3)	(2, 0, 3)	(1, 0, 2)	(3, 0, 2)	(1, 0, 3)	(3, 0, 3)	行、列				(0, 1, 2)	(2, 1, 2)	(0, 1, 3)	(2, 1, 3)	(1, 1, 2)	(3, 1, 2)	(1, 1, 3)	(3, 1, 3)
(0, 0, 0)	(2, 0, 0)	(0, 0, 1)	(2, 0, 1)	(1, 0, 0)	(3, 0, 0)	(1, 0, 1)	(3, 0, 1)	行、列				(0, 1, 0)	(2, 1, 0)	(0, 1, 1)	(2, 1, 1)	(1, 1, 0)	(3, 1, 0)	(1, 1, 1)	(3, 1, 1)
⑦				⑥				③				②				④			
				⑤												①			

【図 5】



【図 6】



【図 7】

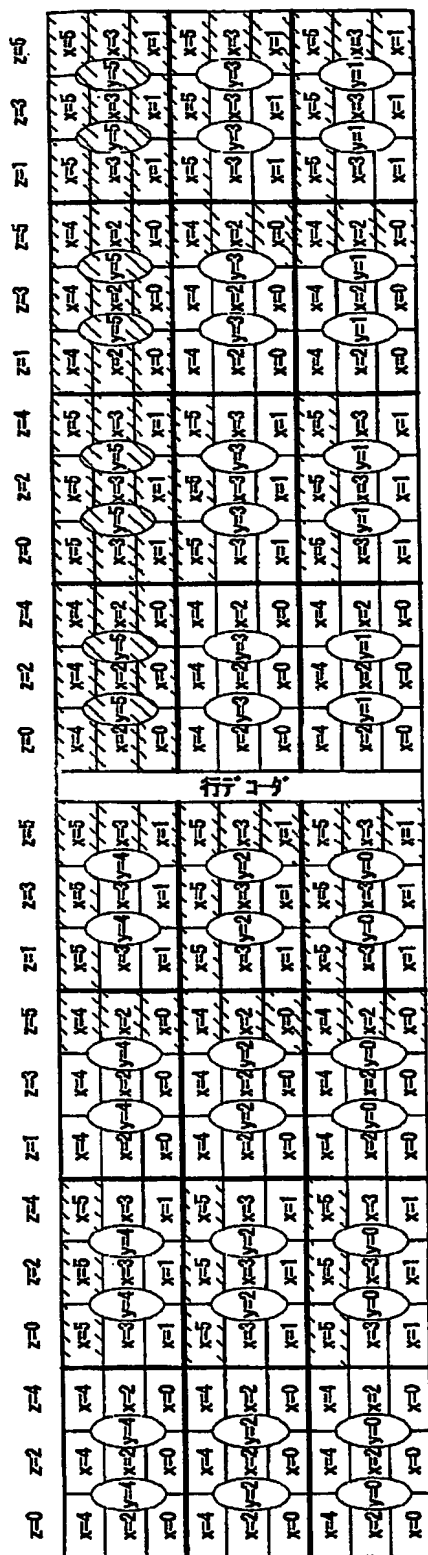
100	(0,0,4)	(0,1,4)	(0,2,4)	(0,3,4)	(0,4,4)	(1,0,4)	(1,1,4)	(1,2,4)	(1,3,4)	(1,4,4)	(2,0,4)	(2,1,4)	(2,2,4)	(2,3,4)	(2,4,4)	(3,0,4)	(3,1,4)	(3,2,4)	(3,3,4)	(3,4,4)	(4,0,4)	(4,1,4)	(4,2,4)	(4,3,4)	(4,4,4)
011	(0,0,3)	(0,1,3)	(0,2,3)	(0,3,3)	(0,4,3)	(1,0,3)	(1,1,3)	(1,2,3)	(1,3,3)	(1,4,3)	(2,0,3)	(2,1,3)	(2,2,3)	(2,3,3)	(2,4,3)	(3,0,3)	(3,1,3)	(3,2,3)	(3,3,3)	(3,4,3)	(4,0,3)	(4,1,3)	(4,2,3)	(4,3,3)	(4,4,3)
010	(0,0,2)	(0,1,2)	(0,2,2)	(0,3,2)	(0,4,2)	(1,0,2)	(1,1,2)	(1,2,2)	(1,3,2)	(1,4,2)	(2,0,2)	(2,1,2)	(2,2,2)	(2,3,2)	(2,4,2)	(3,0,2)	(3,1,2)	(3,2,2)	(3,3,2)	(3,4,2)	(4,0,2)	(4,1,2)	(4,2,2)	(4,3,2)	(4,4,2)
001	(0,0,1)	(0,1,1)	(0,2,1)	(0,3,1)	(0,4,1)	(1,0,1)	(1,1,1)	(1,2,1)	(1,3,1)	(1,4,1)	(2,0,1)	(2,1,1)	(2,2,1)	(2,3,1)	(2,4,1)	(3,0,1)	(3,1,1)	(3,2,1)	(3,3,1)	(3,4,1)	(4,0,1)	(4,1,1)	(4,2,1)	(4,3,1)	(4,4,1)
000	(0,0,0)	(0,1,0)	(0,2,0)	(0,3,0)	(0,4,0)	(1,0,0)	(1,1,0)	(1,2,0)	(1,3,0)	(1,4,0)	(2,0,0)	(2,1,0)	(2,2,0)	(2,3,0)	(2,4,0)	(3,0,0)	(3,1,0)	(3,2,0)	(3,3,0)	(3,4,0)	(4,0,0)	(4,1,0)	(4,2,0)	(4,3,0)	(4,4,0)
7F'1A	000	001	010	011	100	000	001	010	011	100	000	001	010	011	100	000	001	010	011	100	000	001	010	011	100
7F'1A	000					001					010					011					100				



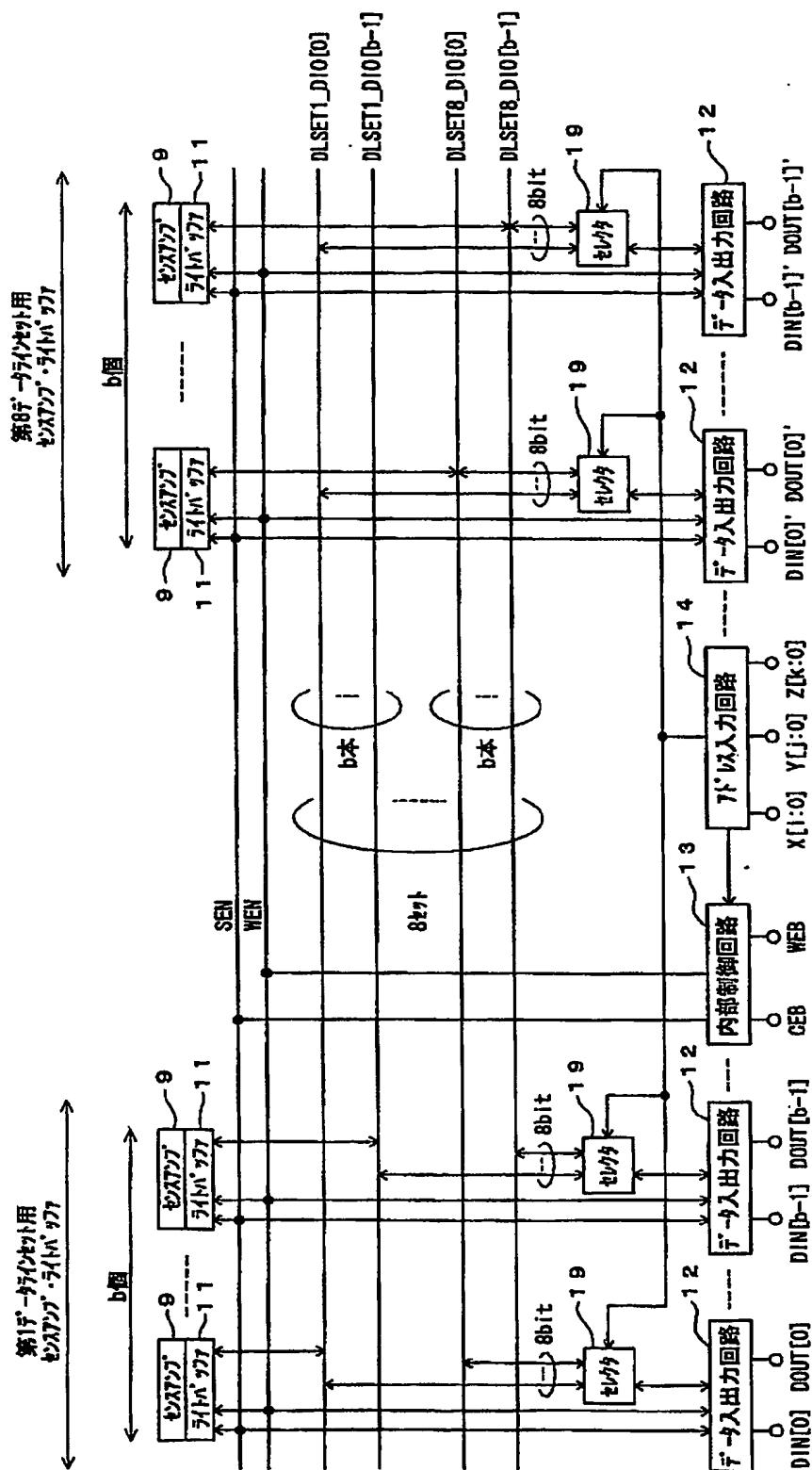
【図 8】

(0, 4, 4)	(2, 4, 4)	(4, 4, 4)	(0, 4, 5)	(2, 4, 5)	(4, 4, 5)	(1, 4, 4)	(3, 4, 4)	(5, 4, 4)	(1, 4, 5)	(3, 4, 5)	(5, 4, 5)	(0, 5, 4)	(2, 5, 4)	(4, 5, 4)	(0, 5, 5)	(2, 5, 5)	(4, 5, 5)	(1, 5, 4)	(3, 5, 4)	(5, 5, 4)	(1, 5, 5)	(3, 5, 5)	(5, 5, 5)
(0, 4, 2)	(2, 4, 2)	(4, 4, 2)	(0, 4, 3)	(2, 4, 3)	(4, 4, 3)	(1, 4, 2)	(3, 4, 2)	(5, 4, 2)	(1, 4, 3)	(3, 4, 3)	(5, 4, 3)	(0, 5, 2)	(2, 5, 2)	(4, 5, 2)	(0, 5, 3)	(2, 5, 3)	(4, 5, 3)	(1, 5, 2)	(3, 5, 2)	(5, 5, 2)	(1, 5, 3)	(3, 5, 3)	(5, 5, 3)
(0, 4, 0)	(2, 4, 0)	(4, 4, 0)	(0, 4, 1)	(2, 4, 1)	(4, 4, 1)	(1, 4, 0)	(3, 4, 0)	(5, 4, 0)	(1, 4, 1)	(3, 4, 1)	(5, 4, 1)	(0, 5, 0)	(2, 5, 0)	(4, 5, 0)	(0, 5, 1)	(2, 5, 1)	(4, 5, 1)	(1, 5, 0)	(3, 5, 0)	(5, 5, 0)	(1, 5, 1)	(3, 5, 1)	(5, 5, 1)
(0, 2, 4)	(2, 2, 4)	(4, 2, 4)	(0, 2, 5)	(2, 2, 5)	(4, 2, 5)	(1, 2, 4)	(3, 2, 4)	(5, 2, 4)	(1, 2, 5)	(3, 2, 5)	(5, 2, 5)	(0, 3, 4)	(2, 3, 4)	(4, 3, 4)	(0, 3, 5)	(2, 3, 5)	(4, 3, 5)	(1, 3, 4)	(3, 3, 4)	(5, 3, 4)	(1, 3, 5)	(3, 3, 5)	(5, 3, 5)
(0, 2, 2)	(2, 2, 2)	(4, 2, 2)	(0, 2, 3)	(2, 2, 3)	(4, 2, 3)	(1, 2, 2)	(3, 2, 2)	(5, 2, 2)	(1, 2, 3)	(3, 2, 3)	(5, 2, 3)	(0, 3, 2)	(2, 3, 2)	(4, 3, 2)	(0, 3, 3)	(2, 3, 3)	(4, 3, 3)	(1, 3, 2)	(3, 3, 2)	(5, 3, 2)	(1, 3, 3)	(3, 3, 3)	(5, 3, 3)
(0, 2, 0)	(2, 2, 0)	(4, 2, 0)	(0, 2, 1)	(2, 2, 1)	(4, 2, 1)	(1, 2, 0)	(3, 2, 0)	(5, 2, 0)	(1, 2, 1)	(3, 2, 1)	(5, 2, 1)	(0, 3, 0)	(2, 3, 0)	(4, 3, 0)	(0, 3, 1)	(2, 3, 1)	(4, 3, 1)	(1, 3, 0)	(3, 3, 0)	(5, 3, 0)	(1, 3, 1)	(3, 3, 1)	(5, 3, 1)
(0, 0, 4)	(2, 0, 4)	(4, 0, 4)	(0, 0, 5)	(2, 0, 5)	(4, 0, 5)	(1, 0, 4)	(3, 0, 4)	(5, 0, 4)	(1, 0, 5)	(3, 0, 5)	(5, 0, 5)	(0, 1, 4)	(2, 1, 4)	(4, 1, 4)	(0, 1, 5)	(2, 1, 5)	(4, 1, 5)	(1, 1, 4)	(3, 1, 4)	(5, 1, 4)	(1, 1, 5)	(3, 1, 5)	(5, 1, 5)
(0, 0, 2)	(2, 0, 2)	(4, 0, 2)	(0, 0, 3)	(2, 0, 3)	(4, 0, 3)	(1, 0, 2)	(3, 0, 2)	(5, 0, 2)	(1, 0, 3)	(3, 0, 3)	(5, 0, 3)	(0, 1, 2)	(2, 1, 2)	(4, 1, 2)	(0, 1, 3)	(2, 1, 3)	(4, 1, 3)	(1, 1, 2)	(3, 1, 2)	(5, 1, 2)	(1, 1, 3)	(3, 1, 3)	(5, 1, 3)
(0, 0, 0)	(2, 0, 0)	(4, 0, 0)	(0, 0, 1)	(2, 0, 1)	(4, 0, 1)	(1, 0, 0)	(3, 0, 0)	(5, 0, 0)	(1, 0, 1)	(3, 0, 1)	(5, 0, 1)	(0, 1, 0)	(2, 1, 0)	(4, 1, 0)	(0, 1, 1)	(2, 1, 1)	(4, 1, 1)	(1, 1, 0)	(3, 1, 0)	(5, 1, 0)	(1, 1, 1)	(3, 1, 1)	(5, 1, 1)

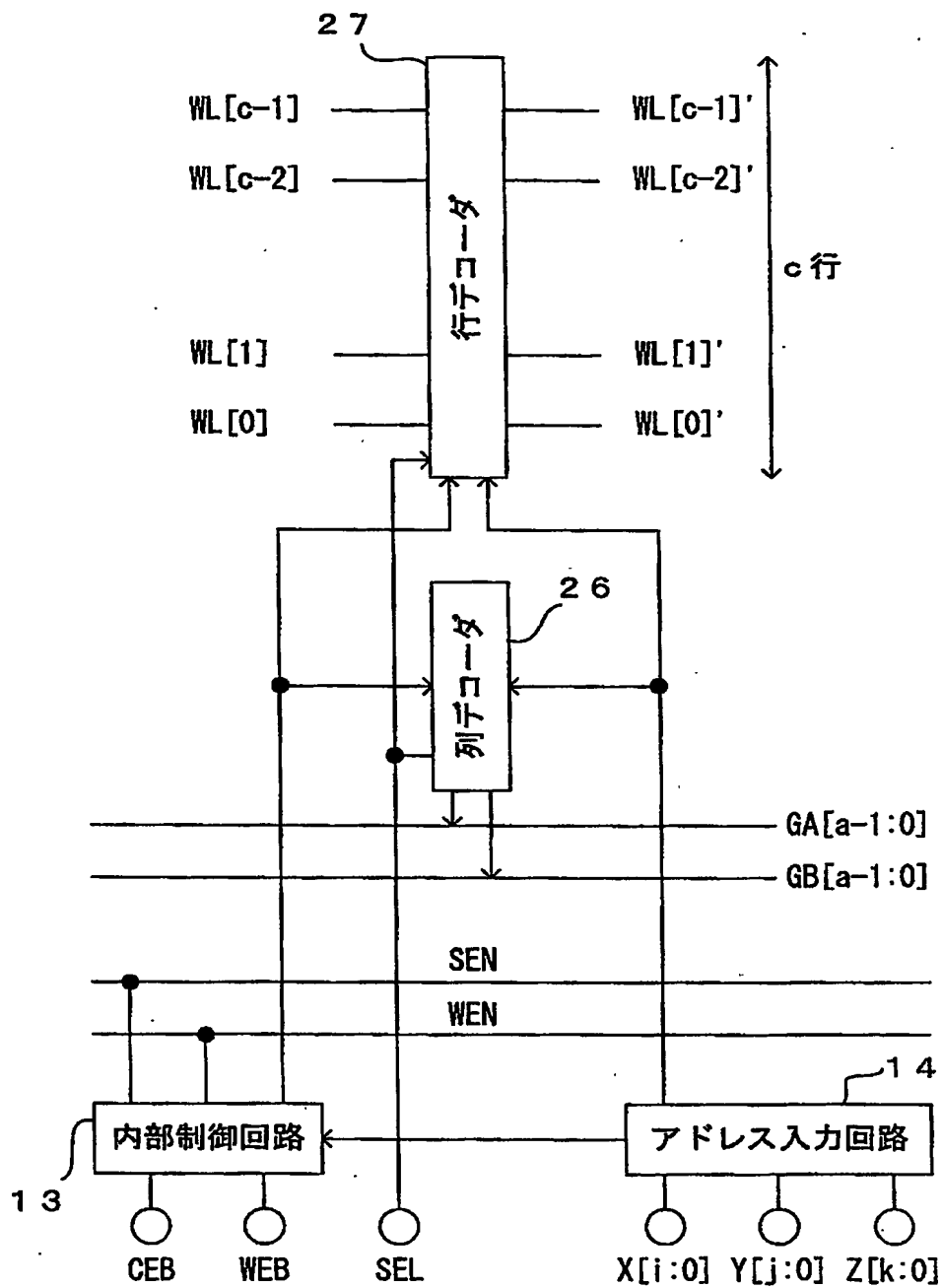
【図9】



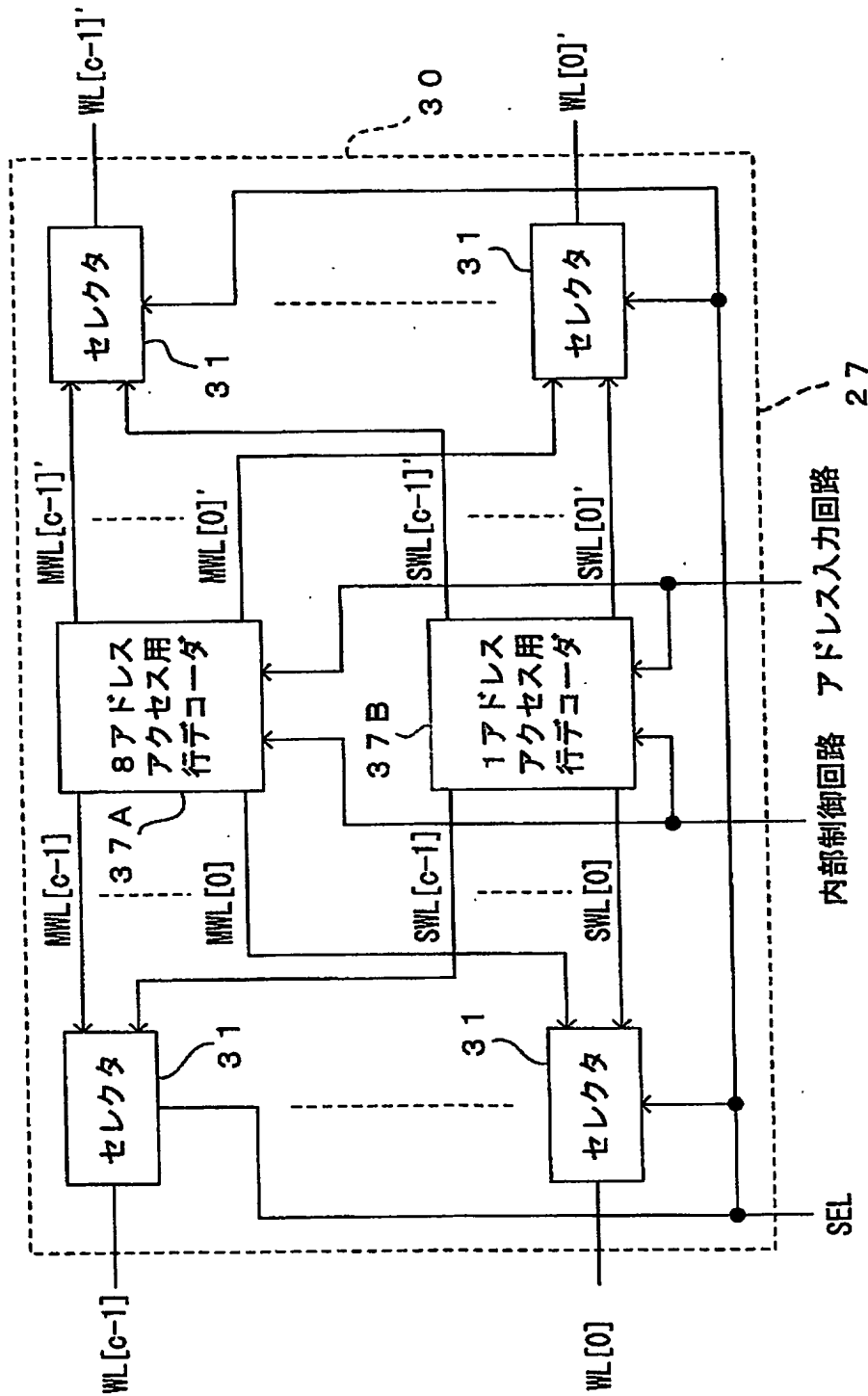
【図 10】



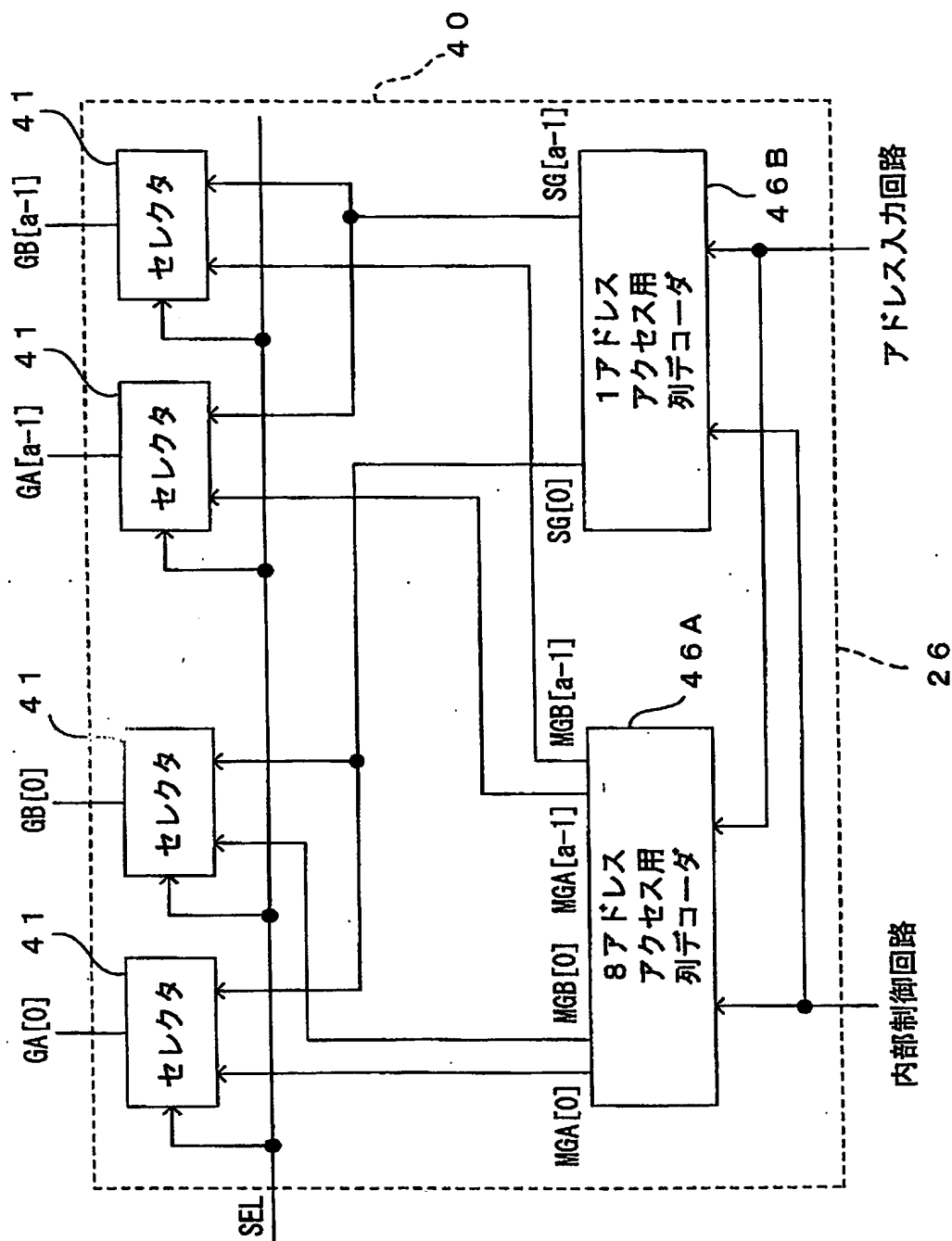
【図 11】



【図12】



【図13】



【図 14】

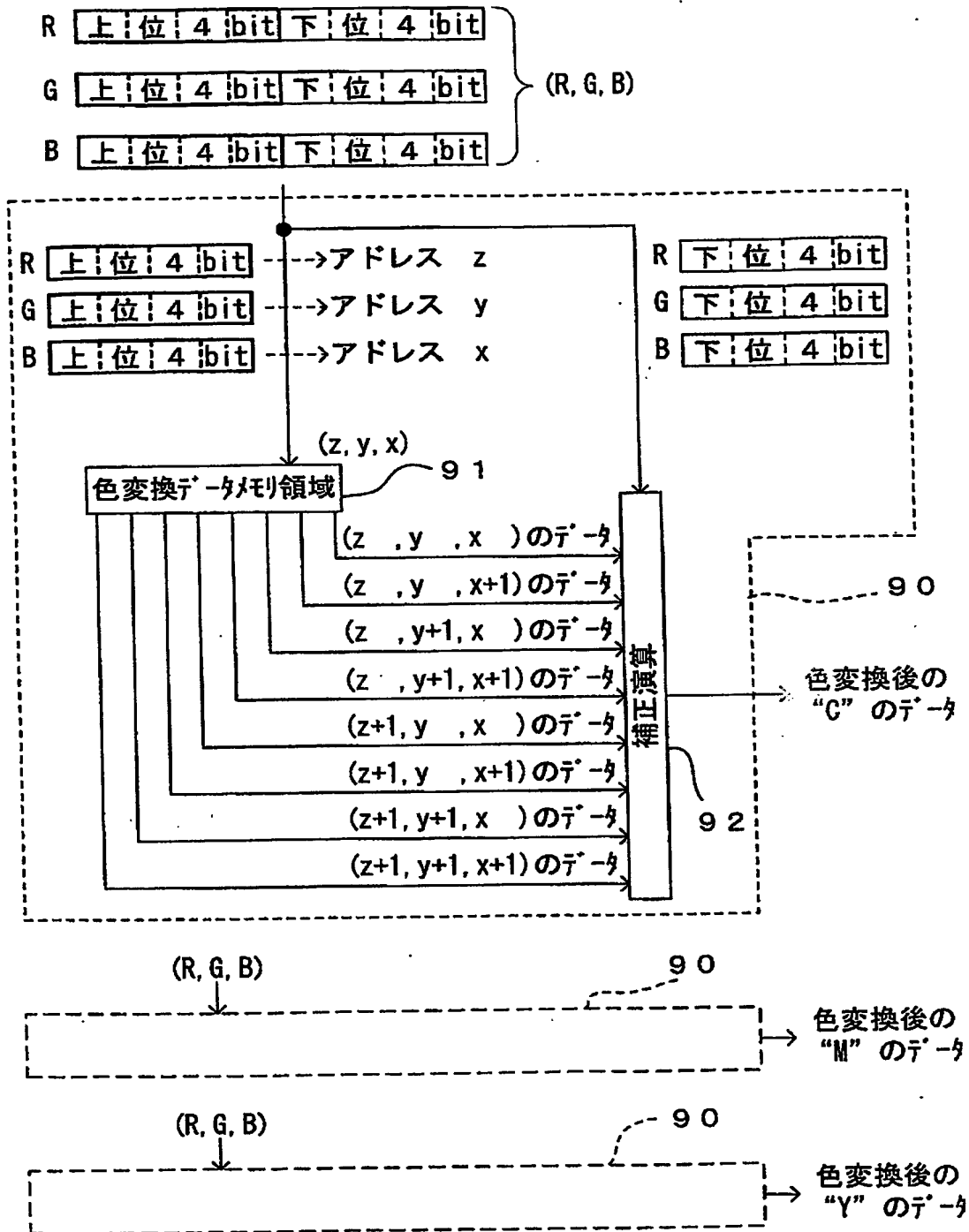
(a)

(1,2,0)	(1,2,1)	(1,2,2)	(1,2,3)	(3,2,0)	(3,2,1)	(3,2,2)	(3,2,3)	(1,3,0)	(1,3,1)	(1,3,2)	(1,3,3)	(3,3,0)	(3,3,1)	(3,3,2)	(3,3,3)
(1,0,0)	(1,0,1)	(1,0,2)	(1,0,3)	(3,0,0)	(3,0,1)	(3,0,2)	(3,0,3)	(1,1,0)	(1,1,1)	(1,1,2)	(1,1,3)	(3,1,0)	(3,1,1)	(3,1,2)	(3,1,3)
(0,2,0)	(0,2,1)	(0,2,2)	(0,2,3)	(2,2,0)	(2,2,1)	(2,2,2)	(2,2,3)	(0,3,0)	(0,3,1)	(0,3,2)	(0,3,3)	(2,3,0)	(2,3,1)	(2,3,2)	(2,3,3)
(0,0,0)	(0,0,1)	(0,0,2)	(0,0,3)	(2,0,0)	(2,0,1)	(2,0,2)	(2,0,3)	(0,1,0)	(0,1,1)	(0,1,2)	(0,1,3)	(2,1,0)	(2,1,1)	(2,1,2)	(2,1,3)

(b)

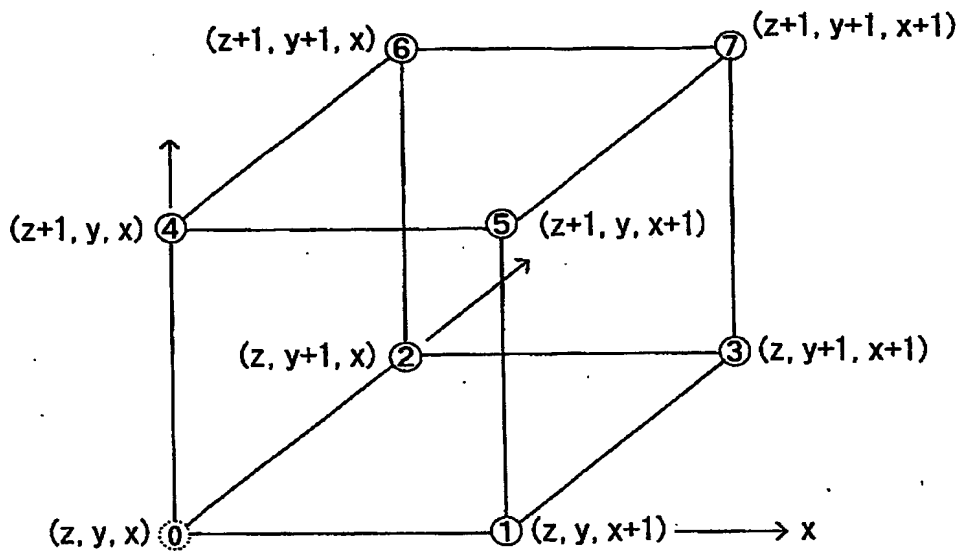
x=0	x=1	x=2	x=3	x=0	x=1	x=2	x=3	x=0	x=1	x=2	x=3	x=0	x=1	x=2	x=3
y=2	y=2	y=2	y=2	y=2	y=2	y=2	y=2	y=3	y=3	y=3	y=3	y=3	y=3	y=3	y=3
y=0	y=0	y=0	y=0	y=0	y=0	y=0	y=0	y=1	y=1	y=1	y=1	y=1	y=1	y=1	y=1
y=2	y=2	y=2	y=2	y=2	y=2	y=2	y=2	y=3	y=3	y=3	y=3	y=3	y=3	y=3	y=3
y=0	y=0	y=0	y=0	y=0	y=0	y=0	y=0	y=1	y=1	y=1	y=1	y=1	y=1	y=1	y=1

【図15】

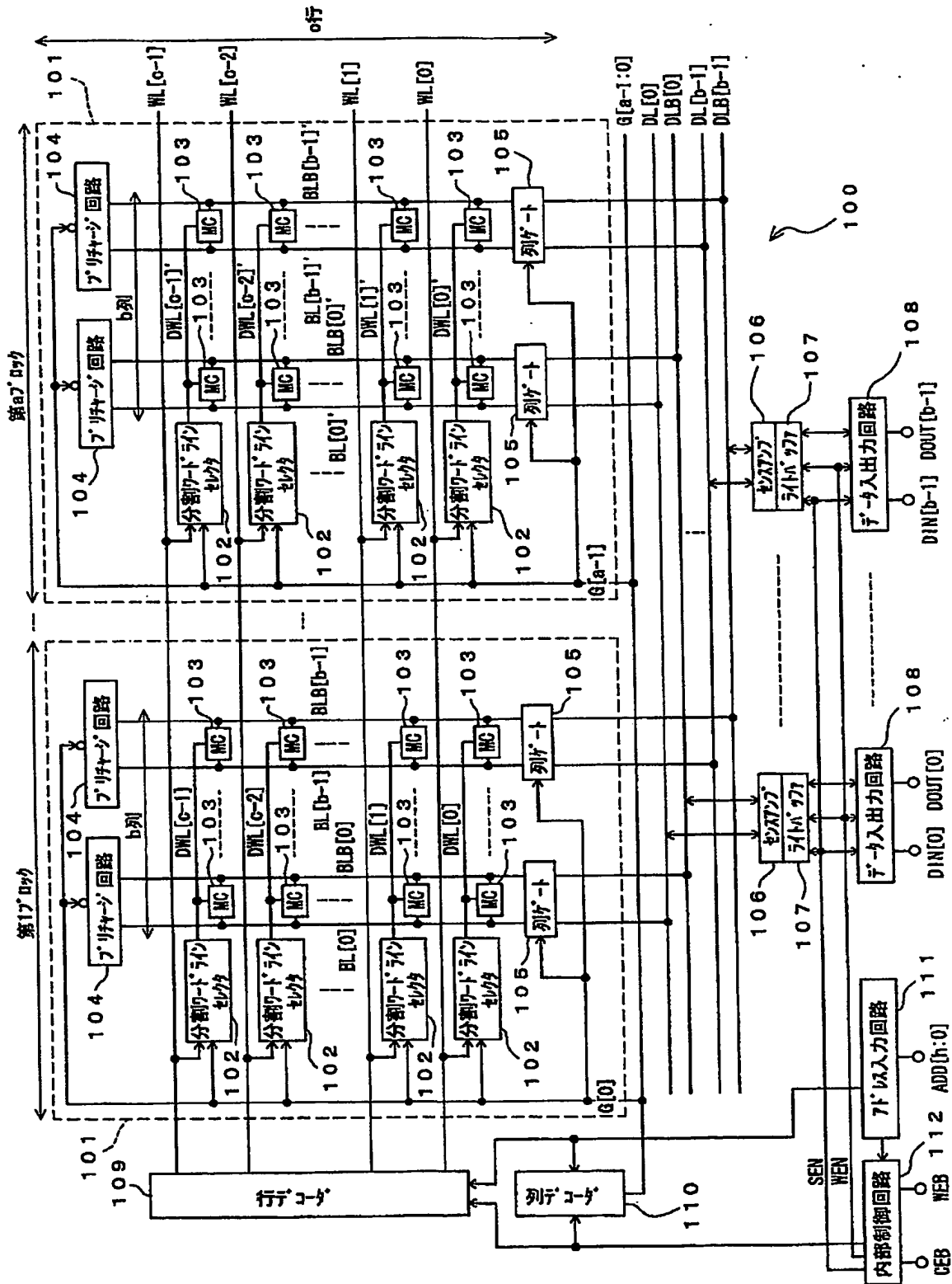




【図 16】

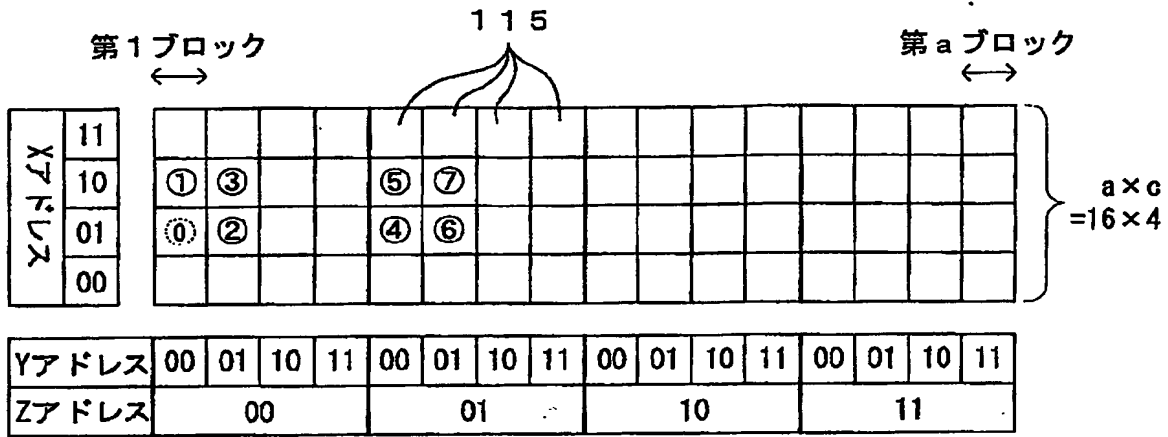


【図 17】

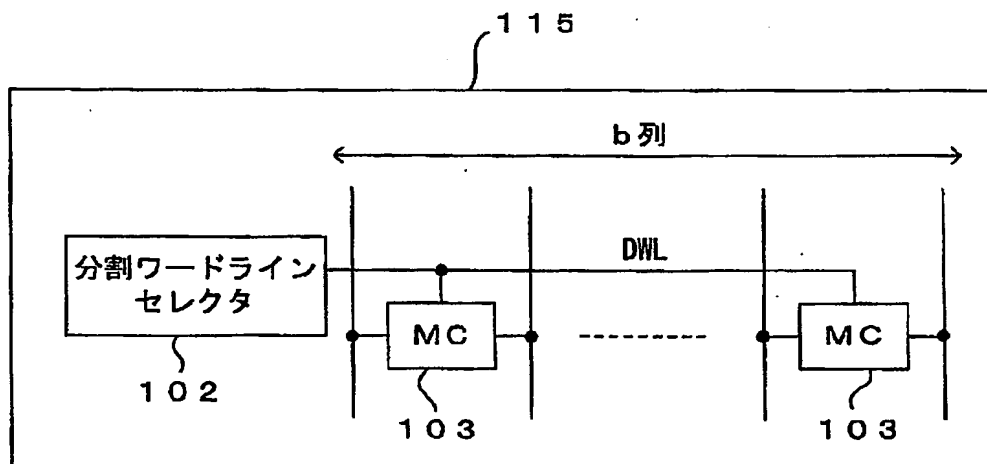


【図 1 8】

(a)

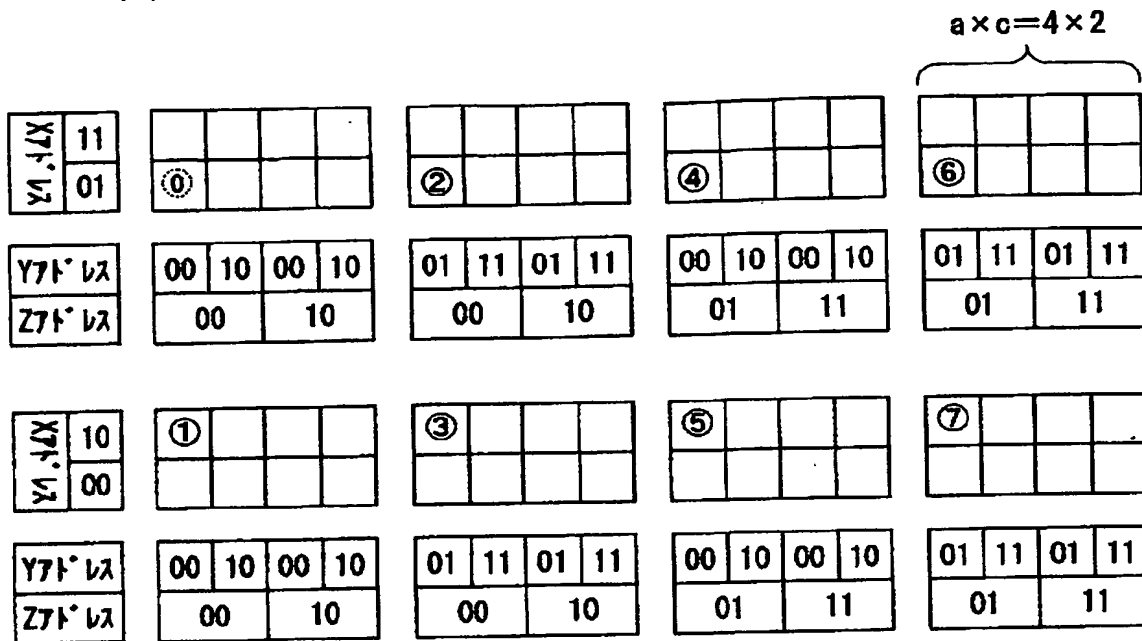


(b)

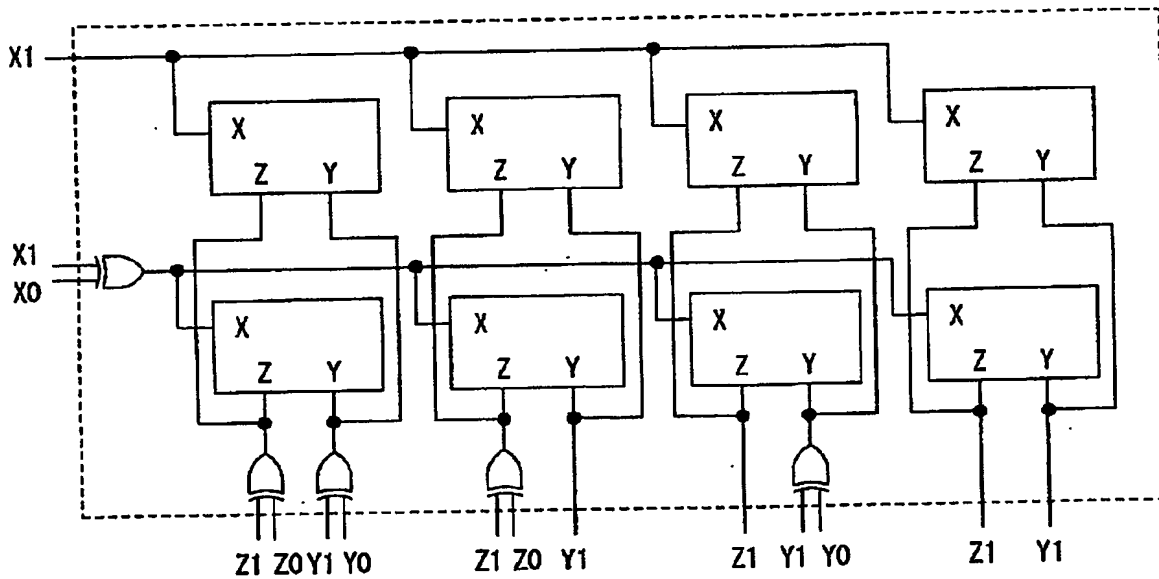


【図 19】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 回路面積及び配線面積の増大を伴わず、複数のアドレスに対し同時にアクセス可能である半導体記憶装置を提供する。

【解決手段】 各メモリセルの行選択がワードラインと分割ワードラインの二段階に分けて行われる分割ワードライン方式の半導体記憶装置において、アドレス入力を $X[i:0]$ 、 $Y[j:0]$ 、 $Z[k:0]$ の3系統で指定するとともに、分割ワードラインセクタを選択する選択信号として2系統を設定し、列方向に並ぶ分割ワードラインセクタに対して、2系統の選択信号をそれぞれ1行ずつ交互に接続して、2系統の選択信号の経路のうちの1系統のみをイネーブルとすることにより、分割ワードラインセクタを選択する。そして、上記選択信号を装置内で計8系統イネーブルとすることにより、8アドレスに同時にアクセス可能である。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー
2. 変更年月日 2002年 5月17日  
[変更理由] 住所変更  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**